



#5
7.13.0
XA-9542

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Ichiro KONO

Appln. No.: 09/931,878

Group Art Unit: 2811

Filed: August 20, 2001

For: SEMICONDUCTOR INTEGRATED DEVICE

* * *

TRANSMITTAL OF CERTIFIED COPY OF PRIORITY DOCUMENT

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

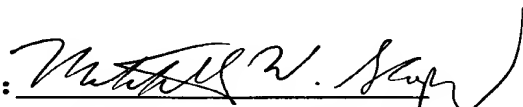
Transmitted herewith is a certified copy of Japanese
Patent Application No. 2000-350553 filed November 13, 2000,
for which Applicant claims priority under 35 U.S.C. § 119.

Respectfully submitted,

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

By:


Mitchell W. Shapiro
Reg. No. 31,568

October 17, 2001

RECEIVED
OCT 19 2001
TC 2800 MAIL ROOM



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年11月13日

出願番号

Application Number:

特願2000-350553

出願人

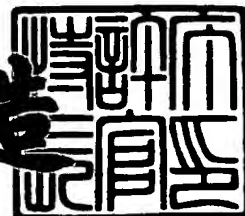
Applicant(s):

株式会社日立製作所

2001年 8月17日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3073602

【書類名】 特許願

【整理番号】 H00014661A

【提出日】 平成12年11月13日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

【氏名】 河野 一郎

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】

第 1 の信号と第 2 の信号とが入力され、制御信号により上記第 1 の信号及び上記第 2 の信号のいずれかを選択的に出力する第 1 の論理ゲートと、

クロック信号が入力され、上記クロック信号に応答して上記第 1 の論理ゲートの出力信号を記憶し及び上記記憶した信号を出力する第 1 の記憶素子と、

上記第 1 の記憶素子の出力信号が入力され、上記制御信号に応じて上記第 1 の記憶素子の出力信号を出力または遮断する第 2 の論理ゲートを有する記憶回路。

【請求項 2】

請求項 1 において、

第 1 の記憶素子の出力信号が入力され、上記制御信号の相補信号に応じて上記第 1 の記憶素子の出力信号を出力または遮断する第 3 の論理ゲートを有する記憶回路。

【請求項 3】

請求項 1 において、

上記制御信号が第 1 状態である場合には、上記第 2 の論理ゲートは上記第 1 の記憶素子の出力信号を出力し、

上記制御信号が第 2 状態である場合には、上記第 2 の論理ゲートは上記記憶回路の動作電位のいずれかの値を出力する記憶回路。

【請求項 4】

第 1 及び第 2 の入力端子と第 1 及び第 2 の出力端子と制御信号が入力される第 1 制御端子とを有する第 1 の記憶回路と、

上記第 1 の記憶回路の第 1 の出力端子からの出力信号が入力され、上記出力信号に対して所定の処理を行い、上記処理の結果を出力する論理回路と、

第 3 及び第 4 の入力端子と上記制御信号が入力される第 2 制御端子とを有する第 2 の記憶回路とを有し、

上記第 1 の記憶回路は、上記制御信号が第 1 の状態である場合には上記第 1 の

入力端子に入力される第1の信号を記憶して上記第1の出力端子に出力し、上記制御信号が第2の状態である場合には上記第1の出力端子の電位を上記論理回路の動作電位のいずれかの電位とするとともに、上記第2の入力端子に入力される第2の信号を記憶して上記第2の出力端子に出力し、

上記第2の記憶回路は、上記制御信号が上記第1の状態である場合には上記第3の入力端子に入力される上記論理回路からの出力を記憶し、上記制御信号が第2の状態である場合には上記第4の入力端子に入力される上記第1の記憶回路の上記第2の出力端子からの出力を記憶する半導体集積回路。

【請求項5】

請求項4において、

上記半導体集積回路はクロック信号を受けて動作し、

上記第1の記憶回路は上記クロック信号の第1のタイミングで上記第1の信号または上記第2の信号を記憶し、上記クロック信号の第2のタイミングで上記記憶した上記第1の信号または上記第2の信号を出力する半導体集積回路。

【請求項6】

請求項4において、

上記第1の記憶回路は、さらに上記制御信号が上記第1の状態である場合には上記第2の出力端子の電位を上記論理回路の上記動作電位のいずれかの電位とすることを半導体集積回路。

【請求項7】

請求項4において、

上記制御信号が上記第1の状態である場合は上記半導体集積回路が通常動作モードであって、上記制御信号が上記第2の状態である場合は上記半導体集積回路がテストモードである半導体集積回路。

【請求項8】

請求項4において、

上記第1の記憶回路及び上記第2の記憶回路はスキャンフリップフロップである半導体集積回路。

【請求項 9】

第 1 及び第 2 の入力端子と第 1 及び第 2 の出力端子と制御信号が入力される第 1 制御端子とを有する第 1 の記憶回路と、

上記第 1 の記憶回路の第 1 の出力端子からの第 1 の出力信号が入力され、上記第 1 の出力信号に対して所定の第 1 の処理を行い、第 1 の出力信号を出力する第 1 の論理回路と、

第 3 及び第 4 の入力端子と第 3 及び第 4 の出力端子と上記制御信号が入力される第 2 制御端子とを有する第 2 の記憶回路と、

上記第 2 の記憶回路の第 3 の出力端子からの第 2 の出力信号が入力され、上記第 2 の出力信号に対して所定の第 2 の処理を行い、第 2 の出力信号を出力する第 2 の論理回路と、

第 5 及び第 6 の入力端子と上記制御信号が入力される第 3 制御端子とを有する第 3 の記憶回路とを有し、

上記第 1 の記憶回路は、上記制御信号が第 1 の状態である場合には上記第 1 の入力端子に入力される第 1 の信号を記憶して上記第 1 の出力端子に出力し、上記制御信号が第 2 の状態である場合には上記第 2 の入力端子に入力される第 2 の信号を記憶して上記第 2 の出力端子に出力し、

上記第 2 の記憶回路は、上記制御信号が上記第 1 の状態である場合には上記第 3 の入力端子に入力される上記第 1 の出力信号を記憶して上記第 3 の出力端子に出力し、上記制御信号が上記第 2 の状態である場合には上記第 3 の出力端子の電位を上記第 2 の論理回路の動作電位のいずれかの電位とするとともに、上記第 4 の入力端子に入力される上記第 1 の記憶回路の上記第 2 の出力端子からの出力を記憶して上記第 4 の出力端子に出力し、

上記第 3 の記憶回路は、上記制御信号が上記第 1 の状態である場合には上記第 5 の入力端子に入力される上記第 2 の出力信号を記憶し、上記制御信号が上記第 2 の状態である場合には上記第 6 の入力端子に入力される上記第 2 の記憶回路の上記第 4 の出力端子からの出力を記憶する半導体集積回路。

【請求項 10】

請求項 9 において、

上記第1の記憶回路は、さらに上記制御信号が上記第2の状態である場合には上記第1の出力端子の電位を上記第1の論理回路の動作電位のいずれかの電位とする半導体集積回路。

【請求項11】

請求項9において、

上記第1の論理回路の遅延時間の仕様は、上記第2の論理回路の遅延時間の仕様よりも短く、上記第1の論理回路の消費電力の仕様は上記第2の論理回路の消費電力の仕様よりも小さく設定され、

上記第1の記憶回路は、上記制御信号が上記第2の状態である場合に上記第2の入力端子に入力される上記第2の信号を記憶して上記第1の出力端子に出力する半導体集積回路。

【請求項12】

請求項9において、

上記第4の出力端子から上記第6の入力端子までの経路長は、上記第2の出力端子から上記第4の入力端子までの経路長よりも短く、

上記第1の記憶回路は、さらに上記制御信号が上記第1の状態である場合に上記第2の出力端子の電位を上記第1の論理回路の動作電位のいずれかの電位とする半導体集積回路。

【請求項13】

請求項9において、

上記第1の論理回路の遅延時間の仕様は、上記第2の論理回路の遅延時間の仕様よりも短く、上記第1の論理回路の消費電力の仕様は上記第2の論理回路の消費電力の仕様よりも小さく設定され、上記第4の出力端子から上記第6の入力端子までの経路長は、上記第2の出力端子から上記第4の入力端子までの経路長よりも短く、

上記第1の記憶回路は、上記第1の状態である場合に上記第2の出力端子の電位を上記第1の論理回路の動作電位のいずれかの電位とし、上記制御信号が上記第2の状態である場合に上記第2の入力端子に入力される上記第2の信号を記憶して上記第1の出力端子に出力する半導体集積回路。

【請求項 14】

請求項 9 において、

上記半導体集積回路はクロック信号を受けて動作し、

上記第 1 乃至第 3 の記憶回路は上記クロック信号の第 1 のタイミングで前段の回路からの信号を記憶し、上記クロック信号の第 2 のタイミングで上記記憶した信号を後段の回路に出力する半導体集積回路。

【請求項 15】

請求項 9 において、

上記制御信号が上記第 1 の状態である場合は上記半導体集積回路が通常動作モードであって、上記制御信号が上記第 2 の状態である場合は上記半導体集積回路がテストモードである半導体集積回路。

【請求項 16】

請求項 9 において、

上記第 1 乃至第 3 の記憶回路はスキャンフリップフロップである半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路に係わり、特に記憶素子を含んだ論理回路を搭載した半導体集積回路に関する。

【0002】

【従来の技術】

論理回路に対して縮退故障等を検出するために、論理回路をスキャン化する方法が広く用いられている。この方法には、故障を効率良く検出できるという利点がある。この方法を用いると、論理回路内のフリップフロップ（以下 FF）の値を直接操作できるようになるためである。

【0003】

スキャン化された論理回路に対して故障を検出（以下テスト）する工程を、図面を参照して説明する。図 22 は、従来の技術で用いられるスキャン FF を示す回

路構成図である。これは、マルチプレクサ（以下MUX）付きスキャンFFの例である。この構成では、FF（g2601）の入力端子Dに、MUX（g2602）が接続されている。g2602には、前段の通常動作を行うための論理ゲート群（以下ユーザーロジック）からの信号（以下ロジック入力信号）が、ロジック入力信号線を介して入力される。また、前段のFFからのスキャン用信号（以下スキャンイン信号）が、スキャンイン信号線を介して入力される。さらに、ロジック入力信号とスキャンイン信号のどちらをg2601に取り込むかを切り替え制御する信号（以下スキャンイネーブル信号）が、スキャンイネーブル信号線を介して入力される。g2601の出力端子Qには、後段のユーザーロジックへの信号（以下ロジック出力信号）を伝搬させるロジック出力信号線と、後段のFFへのスキャン用信号（以下スキャンアウト信号）を伝搬させるスキャンアウト信号線が、出木状に分岐して接続されている。

【0004】

図23は、従来の技術でスキャン化した論理回路を示す図である。これは、MUX付きスキャンFFを多段に接続してスキャン化した論理回路の例である。この構成では、MUX付きスキャンFF（g2701およびg2702）のスキャンアウト信号線は、それぞれg2702およびg2703のスキャンイン信号線に接続され、信号経路（以下パス）を形成している。以下、このパスをスキャンパスと呼ぶ。また、g2701のスキャンイン信号線は、スキャンイン信号を半導体集積回路チップ外部から入力する端子（スキャンイン端子）に接続され、g2703のスキャンアウト信号線は、スキャンアウト信号を半導体集積回路チップ（以下チップ）外部に出力する端子（スキャンアウト端子）に接続されている。

【0005】

スキャンFFを用いたテストは、（1）論理回路内の各FFにテスト用初期値を代入する動作（以下スキャンイン動作）、（2）各FFからユーザーロジックに該初期値を入力し、ユーザーロジックから出力されるテスト用結果値を各FFに取り込む動作（以下ロジックテスト動作）、（3）各FFから該結果値を回収する動作（以下スキャンアウト動作）を順次繰り返すことによって行われる。a

2704、a2705およびa2706は、それぞれスキャンイン動作時、ロジックテスト動作時、スキャンアウト動作時の信号の流れを示している。

【0006】

図24は、従来の技術で用いられるスキャンFF (g2603) の動作を示すタイミングチャートである。まず、スキャンイン動作時には、各FFがスキャンイン信号を取り込めるように、スキャンイネーブル信号をHighに設定する。また、テスト用初期値を各FFに代入するために、クロック信号を複数回遷移させ (s2801)、スキャンパスを介したシフト動作を行う。次に、ロジックテスト動作時には、各FFがロジック出力信号を取り込めるように、スキャンイネーブル信号をLowに設定する (s2802)。また、テスト用初期値をユーザーロジックに入力するために1回、テスト用結果値を各FFに取り込むために1回クロック信号を遷移させる (s2803)。さらに、スキャンアウト動作時には、各FFがスキャンアウト信号を出力できるように、スキャンイネーブル信号を再びHighに設定する (s2804)。また、各FFからテスト用結果値を回収するために、スキャンイン動作と同様なシフト動作を行う。

【0007】

しかし反面、スキャンイン動作、およびスキャンアウト動作（以下併せてスキャン動作）時には、通常ユーザー動作時に比べて論理回路の動作確率が上がる傾向にある。このため、例えば、アイトリプルイー コンピューター、ボリューム32、ナンバー11の61頁 (IEEE Computer, vol. 32, no. 11, pp. 61, 1999) に記載されるように、デバイスの微細化に伴って、過度の電圧降下による故障検出ミスや、発熱によるチップ破壊の恐れが指摘されてきている。

【0008】

この問題を回避するため、これまでに、例えば、デザイン フォー アットスピード テスト、ダイアグノシス アンド ミージャーメントの24頁 (Design for At-speed Test, Diagnosis and Measurement, Kluwer Academic Publishers, pp. 24, 1999) に記載されるように、スキャン動作の

周波数を下げて消費電力を抑える方法が考えられている。本従来技術によれば、図 2 4 に示すように、ロジックテスト動作時のシステムクロック信号の周波数（s 2 8 0 3）はユーザーロジックの通常動作時の周波数とするのに対して、スキャン動作時のシステムクロック信号の周波数（s 2 8 0 1）を下げ、スキャン動作時のユーザーロジックの動作による消費電力を低減させる。しかしながら、この方法ではテストに要する時間（テスト時間）が長くなり、スキャン化の利点が損なわれてしまう。これは、テスト時間の全体のうち、スキャン動作に要する時間が通常大部分を占めるためである。結果として、テストに要するコスト（以下テストコスト）が増加してしまう。

【0009】

また、例えば、ダイジェスト オブ ペーパーズ 1978 セミコンダクター テスト カンファレンスの152頁から158頁（Digest of Papers 1978 Semiconductor Test Conference）に記載されるように、スキャン動作専用のFFをチップ内に追加することにより、スキャン動作時における消費電力を低減する方法が考えられている。しかしながら、この方法ではチップの面積が大幅に増加してしまう。なお、発明者らの検討によれば、チップ面積が通常の50%程度増加することが判明している。

【0010】

【発明が解決しようとする課題】

このように、従来技術では、スキャン化された論理回路に対して故障を検出しようとする、テストに要する時間が長くなってしまい、あるいはチップの面積が大幅に増加してしまうという問題があった。本発明の目的は、従来技術に比べてテスト時間を短縮し、かつチップ面積の増加を抑えることにより、テストコストを低減できる半導体集積回路を提供することである。また、かかる半導体集積回路の設計方法を提供することである。さらに、テスト時間を短縮してテストコストを削減する半導体集積回路の製造方法を提供することである。

【 0 0 1 1 】

【課題を解決するための手段】

スキャンフリップフロップ（スキャンラッチ）を第 1 の信号と第 2 の信号とが入力され、制御信号により第 1 の信号及び第 2 の信号のいずれかを選択的に出力する第 1 の論理ゲートと、クロック信号が入力され、クロック信号に応答して第 1 の論理ゲートの出力信号を記憶し及び記憶した信号を出力する第 1 の記憶素子と、第 1 の記憶素子の出力信号が入力され、制御信号に応じて第 1 の記憶素子の出力信号を出力または遮断する第 2 の論理ゲートを有する記憶回路として構成する。

【 0 0 1 2 】

また、第 1 及び第 2 の入力端子と第 1 及び第 2 の出力端子と制御信号が入力される第 1 制御端子とを有する第 1 の記憶回路と、第 1 の記憶回路の第 1 の出力端子からの出力信号が入力され、出力信号に対して所定の処理を行い、処理の結果を出力する論理回路と、第 3 及び第 4 の入力端子と制御信号が入力される第 2 制御端子とを有する第 2 の記憶回路とを有し、第 1 の記憶回路は、制御信号が第 1 の状態である場合には第 1 の入力端子に入力される第 1 の信号を記憶して第 1 の出力端子に出力し、制御信号が第 2 の状態である場合には第 1 の出力端子の電位を論理回路の動作電位のいずれかの電位とするとともに、第 2 の入力端子に入力される第 2 の信号を記憶して第 2 の出力端子に出力し、第 2 の記憶回路は、制御信号が第 1 の状態である場合には第 3 の入力端子に入力される論理回路からの出力を記憶し、制御信号が第 2 の状態である場合には第 4 の入力端子に入力される第 1 の記憶回路の第 2 の出力端子からの出力を記憶するように、スキャンパスを有する半導体集積回路を構成する。

【 0 0 1 3 】

さらに本発明では、ロジック出力遮断型スキャン F F、スキャンアウト遮断型スキャン F F、ロジック出力・スキャンアウト切替型スキャン F F 及び従来のスキャン F F を論理回路の特性（消費電力、遅延時間）に応じて使い分ける。

【 0 0 1 4 】

このようなスキャン F F は、その機能、消費電力及び遅延情報を記述したセル

ライブラリに一つのセルとして登録され、半導体集積回路の設計に使用される。

【0015】

また、複数のスキャンFFを使い分けた半導体集積回路の設計は、(1) ロジック出力遮断型スキャンFFを用いて半導体集積回路を設計し、(2) タイミング仕様を満足しない経路の始点となるスキャンFFを従来のスキャンFFに置き換える、ことにより行う。また、レイアウト後には、消費電力に基づきスキャンアウト遮断機能をもつスキャンFFに置き換える。

【0016】

さらに、このように設計された半導体集積回路のレイアウトパターンを半導体基板に転写して半導体集積回路装置を半導体基板上に形成し、形成した半導体集積回路に対してロジックテストを行って、半導体集積回路装置を製造する。このとき、ロジックテストにおいてはスキャン時とロジックテスト時の周波周波数を同じにする。特にスキャン時のクロック周波数は通常動作時に用いられるクロック周波数として製造コスト中テストコストの占める割合を小さくする。

【0017】

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

【0018】

図1は、本発明の第1の実施例に関する半導体集積回路を示す回路構成図である。これは、従来のMUX付きスキャンFFに対して本発明を適用した例である。この構成では、MUX付きスキャンFF (g101) の出力端子Qとロジック出力信号線n102の間に、スキャンイネーブル信号線n103によって制御され、g101の出力信号の遷移を遮断する役割を果たす2入力ANDゲートg104が挿入されている。以下、本実施例のスキャンFF (g105) を、ロジック出力遮断型スキャンFFと呼ぶ。

【0019】

図2は、第1の実施例の動作を示すタイミングチャートである。まず、スキャン動作時には、スキャンイネーブル信号がHighであるため、g104によってn102はLowに固定される (s201、およびs202)。このように、

本構成によれば、スキャン動作時において、従来のスキャンFFで起きていたロジック出力信号の遷移（s 2 8 0 5（図 2 8））を遮断できるため、結果としてスキャン動作時の消費電力を低減することができる。

【0 0 2 0】

次に、ロジックテスト動作に先立ち、ロジック出力遮断解除を行う。この間には、クロック信号の遷移を停止させ（s 2 0 3）、スキャンイネーブル信号をHighからLowに設定することにより（s 2 0 4）、n 1 0 2のLow固定を解除する。このとき、ゲート1段分（ANDゲートg 1 0 4）の信号伝搬遅延程度の待ち時間を取り、不安定な信号によりロジックテスト動作を行うことを防止している。しかしながら、この待ち時間によるテスト時間全体の増加は、極めて小さい。一般に、スキャン動作に要するクロック信号遷移数は、ロジックテスト動作のそれに比べ数百から数千倍であり、スキャン動作に要する時間がテスト時間の大半を占めるからである。図 2 の構成によれば、スキャン動作の周波数をロジックテスト動作の周波数と同じにして行うことが可能になるので、スキャン動作に要する時間を短縮することが可能になる。

【0 0 2 1】

なお、クロック信号およびスキャンイネーブル信号は、チップの外部からテストを使って供給するか、あるいはチップ内でカウンタを付加した発振回路を使って生成することができる。したがって、本構成を用いることにより、過度の電圧降下による故障検出ミスや発熱によるチップ破壊を起こすことなく、スキャン動作周波数を向上させることができ、結果としてテスト時間を短縮することができる。さらに、第 1 の実施例では、各スキャンFFに対してロジック出力遮断用ゲート（g 1 0 4）を1つ追加するだけであるため、チップ面積の増加を小さく抑えることができる。発明者らの検討により、チップ面積の増加を1%程度に低減できることが判明している。

【0 0 2 2】

図 3 は、本発明の第 2 の実施例に関する半導体集積回路を示す回路構成図である。これは、第 1 の実施例で説明したロジック出力遮断用ゲート（g 1 0 4）の機能を、MUX付きスキャンFFの内部に組み込んだ例である。この構成では、

新たに出力端子がスキャンアウト端子とロジック出力端子に分離され、ロジック出力端子の前に、スキャンイネーブル信号線 $n301$ と、ロジック出力とは逆相の信号線 $n302$ によって制御される 2 入力 NOR ゲート $g303$ が挿入されている。このような構成にすると、第 1 の実施例に比べてシステムクロック端子からロジック出力端子に至る経路上にあるゲート段数を削減することができる。すなわち、第 1 の実施例では、 $n302$ からロジック出力端子に至る経路上のゲート段数は 2 段 ($g304$ (従来の MUX 付きスキャン FF 回路では図 3 のスキャンアウト端子が唯一の出力端子となっている) と $g104$) であるのに対し、本実施例では 1 段のみ ($g303$) である。したがって、本発明を適用することによるユーザーロジックの遅延をより小さくすることができる。さらに、第 1 の実施例に比べてスキャン FF を構成するトランジスタの大きさを小さくできるため、チップ面積低減効果、および消費電力低減効果も期待できる。

【0023】

なお、本発明の構成は以上の構成に限られない。例えば、図 1 において 2 入力 AND ゲート $g104$ の代わりにトランスファージェートを用いることも可能である。この場合にはチップ面積を小さくできるという利点がある。

【0024】

図 4 は、本発明の第 3 の実施例に関する半導体集積回路を示す回路構成図である。これは、MUX 付きスキャンラッチに対して本発明を適用した例である。スキャンラッチは、マスタラッチ $g501$ の出力端子 Q を、スキャン専用のスレーブラッチ $g502$ の入力端子 D に接続した構成になっている。スキャン FF ではなくスキャンラッチに対しても、第 1 の実施例と同様に本発明を適用できる。すなわち、記憶素子（本実施例ではラッチ）の出力端子 Q からロジック出力信号線 $n503$ の間に、ロジック出力遮断用 AND ゲート $g504$ を挿入すればよい。

【0025】

図 5 は、本発明の第 4 の実施例に関する半導体集積回路を示す回路構成図である。これは、第 4 の実施例で説明したロジック出力遮断用ゲート ($g504$) を、MUX 付きスキャンラッチのマスタラッチ ($g501$) の内部に組み込んだ例である。但し、本例では逆相信号が出力可能なように構成している。マスタラッ

チの出力端子がインバータゲートではなくNANDゲートg601で駆動されている場合にも、第2の実施例と同様に本発明を適用できる。すなわち、ロジック出力端子の前に、スキャンイネーブル信号線n602と、ロジック出力とは逆相の信号線n603によって制御される2入力NORゲートg604を挿入すればよい。

【0026】

図6は、本発明の第5の実施例に関する半導体集積回路を示す回路構成図である。これは、第1の実施例で説明したロジック出力遮断用ゲートg104を制御するために、スキャンイネーブル信号線n103の代わりに、ロジック出力遮断信号線n701を設けた例である。

【0027】

図7は、第5の実施例の動作を示すタイミングチャートである。スキャンイン動作からロジックテスト動作に移行する際に、ロジック出力遮断信号を、スキャンイネーブル信号s802より先にLowに設定する(s801)ことにより、第1の実施例で必要となるロジック出力遮断解除をスキャンイン動作と並行して行うことができる。そのため、クロック信号遷移の停止が不要になる(s802)。したがって、第1の実施例に比べてさらにテスト時間を低減できるという利点がある。また、バーンイン試験を行う場合にはユーザーロジックを通常動作時よりも高い動作確率で動作させる。本構成によれば、バーンイン時にはスキャンFFに信号を入力しつつユーザーロジックを動作させることが可能になる。

【0028】

図8は、本発明の第6の実施例に関する半導体集積回路を示す回路構成図である。これは、第1の実施例で説明したロジック出力遮断用ゲート(g1204)付きスキャンFFにおいて、MUX付きスキャンFF(g1201)の出力端子Qとスキャンアウト信号線n1205の間に、スキャンイネーブル信号線n1203によって制御される、スキャンアウト遮断用2入力ANDゲートg1206を挿入したものである。このような構成にすると、ゲートg1204によりスキャン動作時のロジック出力信号の遷移を遮断することができ、かつ通常動作時にはゲートg1206によってスキャンイネーブル信号がLowに設定されるとス

キャンアウト信号がLowに固定されることにより、スキャンアウト信号の遷移が遮断される。これによりスキャンバスを駆動することがなくなるので、通常動作時の消費電力が低減できる。さらに、通常動作時にスキャンイン信号、およびスキャンアウト信号（併せてスキャン信号）がLowに固定されるため、スキャン信号線を挟むユーザーロジック信号線間のクロストークノイズ低減効果も期待できる。以下、本実施例のスキャンFF（g1207）を、ロジック出力・スキャンアウト切替型スキャンFFと呼ぶ。また、図8の構成からゲートg1204を除いたスキャンFFの構成も考えられ、このようなスキャンFFをスキャンアウト遮断型スキャンFFと呼ぶ。

【0029】

図9は、第6の実施例の動作を示すタイミングチャートである。ロジックテスト動作に先立ち、ロジック出力遮断解除を行う。この間に、クロック信号の遷移を停止させ（s1301）、スキャンイネーブル信号をHighからLowに設定する（s1302）ことにより、ロジック出力信号のLow固定を解除する。また、ロジックテスト動作が完了した後に、スキャンアウト遮断解除を行う。この間に、クロック信号の遷移を停止させ（s1303）、スキャンイネーブル信号をLowからHighに設定する（s1304）ことにより、スキャン信号のLow固定を解除する。このロジック出力遮断解除、およびスキャンアウト遮断解除が完了するまでに、待ち時間が必要になる。しかしながら、この待ち時間によるテスト時間全体の増加は、第1の実施例と同様な理由から極めて小さい。

【0030】

図10は、本発明の第7の実施例に関する半導体集積回路を示す回路構成図である。これは、ロジック出力遮断用ゲート（g1204）とスキャンアウト遮断用ゲート（g1206）の両方を、MUX付きスキャンFFの内部に組み込んだ例である。この構成では、ロジック出力端子の前に、スキャンイネーブル信号線n1401と、出力とは逆相の信号線n1402によって制御される2入力NORゲートg1403が挿入されている。また、スキャンアウト端子の前に、スキャンイネーブル信号線n1401と、出力とは逆相の信号線n1402によって制御される2入力NORゲートg1404が挿入されている。このような構成に

すると、第2の実施例と同様な理由から、システムクロック端子からロジック出力端子に至る経路上のゲート段数を削減することができ、またシステムクロック端子からスキャンアウト端子に至る経路上のゲート段数を削減することができる。さらに、チップ面積低減効果、および消費電力低減効果も期待できる。

【0031】

図11は、本発明の第8の実施例に関する半導体集積回路を示す回路構成図である。これは、ロジック出力遮断型スキャンFF、スキャンアウト遮断型スキャンFF、およびロジック出力・スキャンアウト切替型スキャンFFと従来のスキャンFFを、半導体集積回路内に混在させた例である。この構成では、遅延が小さく、かつ消費電力の大きいユーザーロジックm1501に対しては、ロジック出力遮断型スキャンFF（g105）が接続されている。ロジック出力遮断型スキャンFFの適用によりテスト時の消費電力が低減され、この場合ゲートの追加に伴う遅延の影響が問題にならないためである。それに加えて、消費電力の大きいスキャンバスp1502に対しては、ロジック出力・スキャンアウト切替型スキャンFFにゲート（g1207）が接続されている。ロジック出力・スキャンアウト切替型スキャンFFの適用によりさらに通常動作時におけるスキャンバスの不必要な駆動による消費電力が低減される効果がある。一方、遅延が大きく、かつ消費電力の小さいユーザーロジックm1503に対しては、従来のスキャンFFが接続されている。遅延時間を問題にする場合には、従来型スキャンFFが望ましい。それに加えて、消費電力の大きいスキャンバスp1504に対しては、スキャンアウト遮断型スキャンFF（g905）が接続されている。スキャンアウト遮断型スキャンFFの適用により通常動作時におけるスキャンバスの不必要な駆動による消費電力が低減され、またユーザーロジックの遅延は従来型スキャンFFと同等である。このような構成にすると、ユーザーロジックにおけるバスの始点から終点までの遅延（以下バス遅延）の増加を抑えながら、テスト動作時と通常動作時の消費電力の低減を図ることができる。

【0032】

図12は、第8の実施例に関するバス遅延の度数分布図である。例えば、ユーザーロジック内のすべてのスキャンFFに対してロジック出力遮断型スキャンF

Fを適用した結果、仕様遅延を満たさないパスが一部生じたとする。仕様遅延を満たさないパス上にあるロジック出力遮断型スキャンFFを、従来のスキャンFFに置換することにより、仕様遅延を満たすように改善することができる。但し、ロジック出力遮断型スキャンFFを従来のスキャンFFと混在させた場合、ロジック出力遮断型スキャンFFのみを用いた場合に比べて消費電力が増加することになる。しかしながら、従来のスキャンFFの使用率は通常小さくなるため、消費電力の増加も小さく抑えられる。本実施例においても、従来に比べてテスト動作時の消費電力を半分以下に低減することができることは可能である。

【0033】

図13は、第8の実施例に関する設計フローを示す図である。これは、本発明のロジック出力遮断型スキャンFFを適用するための設計フローの例である。ロジック出力遮断型スキャンFF割り当てj1801は、論理合成j1802の後に行い、セルライブラリd1803と、スキャンFF機能対応情報d1804を入力し、遅延計算および消費電力計算j1805を繰り返しながら、最終的に論理ネットリストd1806を出力する。j1802およびj1805については、従来の技術を用いればよい。d1803とd1804の詳細な内容については、後で説明する。j1801の処理は、(1)まず論理回路内のすべてのスキャンFFを、ロジック出力遮断型スキャンFFに置換し、(2)次に仕様遅延を満たさないパスについて、その始点となるスキャンFFを、従来のスキャンFFに戻す。例えば、図示のパスAおよびBについて、(1)の処理を行った後の遅延が、それぞれ5.02nsと10.01nsになったとする。仕様遅延10nsに対して、パスBが仕様未達になっている。そこで、パスBの始点となるロジック出力遮断型スキャンFFを、従来のスキャンFFに戻す。

【0034】

図14は、第8の実施例に関する設計フローを示す図である。これは、本発明のスキャンアウト遮断型スキャンFF、およびロジック出力・スキャンアウト切替型スキャンFFを適用するための設計フローの例である。配線による遅延を含めたユーザーロジックの遅延時間は、レイアウト後に計算可能になるので、スキャンアウト遮断型スキャンFF割り当てj1901は、レイアウトj1902の

後に行う。セルライブラリ d 1803 と、スキャン FF 機能対応情報 d 1804 を入力し、遅延計算および消費電力計算 j 1805 を繰り返しながら、最終的にレイアウト情報付加ネットリスト d 1903 を出力する。j 1902 については、従来の技術を用いればよい。j 1901 の処理は、スキャン FF、およびスキャンパスの合計の消費電力が減少する場合に、従来のスキャン FF に対しては、スキャンアウト遮断型フリップフロップに置換し、ロジック出力遮断型スキャン FF に対しては、ロジック出力・スキャンアウト切替型スキャン FF に置換する。

【0035】

図 13 及び図 14 に開示した構成について以下説明する。セルライブラリ d 1803 には従来のスキャン FF、ロジック出力遮断型スキャン FF、ロジック出力・スキャンアウト切替型スキャン FF を含むセルデータである。格納されるセルの属性には、セルの消費電力、入力端子名、出力端子名、論理機能、および遅延を含む。

【0036】

図 15 は、スキャン FF 機能対応情報 d 1804 を示す図である。これは、従来のスキャン FF (scandff1) の出力端子と、ロジック出力遮断型スキャン FF (logicmasked-scandff1) の出力端子、およびロジック出力・スキャンアウト切替型スキャン FF (logicscanswitched-scandff1) の出力端子とを対応づける例である。ここで、各スキャン FF のセル名、および端子名には、セルライブラリ d 1803 で定義された名称が用いられる。これにより従来のスキャン FF とロジック出力遮断型スキャン FF、ロジック出力・スキャンアウト切替型スキャン FF の置換が行える。

【0037】

図 16 は、本発明を適用した半導体集積回路装置を設計する設計装置、および記憶媒体を示す構成図である。本発明のスキャン FF を適用するための設計装置（ワークステーション）の構成としては、メモリに論理合成、遅延計算、消費電力計算、レイアウト、図 13 で説明したロジック出力遮断型スキャン FF 割り当

て、図14で説明したロジック出力・スキャンアウト切替型スキャンFF割り当て、および外部インターフェース制御を行う各プログラムが収められている。また、ディスクにはRTL設計記述、セルライブラリ、論理ネットリスト、図13及び図14で説明したスキャンFF機能対応情報、およびレイアウト情報付加ネットリストを表現する各データが収められている。キーボード、あるいはマウスからの入力により、各プログラムを操作、および実行することができる。また、各プログラムの実行結果を、ディスプレイに出力することにより、参照することができる。また、収められているすべてのプログラム、およびデータは、コンパクトディスクのような記録媒体により保存することができる。

【0038】

図17は、本発明を適用した半導体集積回路装置を設計するフローを示す図である。これは、LSI設計メーカーが、従来のスキャンFFと本発明のスキャンFFを混在させた設計（以下本スキャンFF混在設計）を実施する。本実施例では、LSI設計依頼者がLSI設計メーカーに、設計仕様のみを提供する。なお、この図では、黒色の太線は処理と情報の依存関係を示し、白抜き矢印は情報の流れを示している。具体的には、LSI設計メーカーは、LSI設計依頼者から提供される設計仕様情報d2401と、半導体メーカー（設計された半導体集積回路装置の製造を行う）から提供されるセルライブラリd1803、およびスキャンFF機能対応情報d1804を用いて、本スキャンFF混在設計d2402を行い、最終的に本発明のスキャンFFを用いた論理ネットリスト（以下本スキャンFF使用ネットリスト）d2403を作成する。作成した論理ネットリストd2403はLSI設計依頼者に渡される。なお、セルライブラリd1803もLSI設計依頼者に渡す場合がある。

【0039】

図18では、LSI設計メーカーが、本スキャンFF混在設計を実施する例である。本実施例では、LSI設計依頼者（設計された半導体集積回路装置の製造をも行う）がLSI設計メーカーに、設計仕様だけでなくセルライブラリ、および論理ネットリストを提供する場合のやり取りを示している。なお、この図では、黒色の太線は処理と情報の依存関係を示し、白抜き矢印は情報の流れを示し

ている。具体的には、LSI設計メーカーは、LSI設計依頼者から提供される設計仕様情報d2401、セルライブラリd1803、スキャンFF機能対応情報d1804、および本発明のスキャンFFを用いない論理ネットリスト（以下本スキャンFF無付加ネットリスト）d2501を用いて、本スキャンFF混在設計d2402を行い、最終的に本スキャンFF使用ネットリストd2403を作成する。その後、LSI設計依頼者に、d2403を渡す。

【0040】

半導体メーカー（図17）またはLSI設計依頼者（図18）は、ネットリストから作成されるレイアウトパターンを半導体基板に転写する（j2404）。このレイアウトパターンを転写されて作成された半導体集積回路装置に対してロジックテストを実施する（j2405）。このとき、ロジックテスト時においては、スキャンイン動作、ロジックテスト動作、スキャンアウト動作とも同じ周波数を用いることができ、特に通常動作時のクロック周波数と同じ周波数を用いることが望ましい。従来のスキャンFFを用いたユーザーロジック部分については動作確率が上昇することによる発熱等の問題があるが、かかる部分は半導体集積回路の比較的わずかな部分とすることができるので、半導体集積回路装置による不具合は生じない。

【0041】

図19は、本発明の第9の実施例に関する半導体集積回路を示す回路構成図である。これは、第2の実施例で説明したロジック出力遮断用2入力NORゲート（g303）を、2入力NANDゲート（g3001）に置き替えた例である。このような置き換えは、ロジック入力信号とスキャン入力信号を切り替えるセレクタg3002に使用されるインバータg3003の出力信号線n3004を、ロジック出力遮断用ゲート（g3001）に入力することにより可能になる。このような構成にすると、第2の実施例に比べてスキャンFFを構成するトランジスタの大きさを小さくできる。これは、同じ駆動能力（電流供給能力）のNORゲートとNANDゲートにおいて、一般にNANDゲートの方が、構成するトランジスタの大きさが小さいためである。さらに、チップ面積低減効果、および消費電力低減効果も期待できる。

【0042】

図20は、図19に示す半導体集積回路のトランジスタレベルでの回路構成図である。これは、第9の実施例で説明したロジック出力遮断用ゲートg3001、インバータゲートg3005、3状態ゲートg3007、およびスキャン出力用インバータゲートg3009をトランジスタにより構成した例である。この構成では、g3001を構成し、ロジック出力端子にドレイン端子が接続されているトランジスタt3101のゲート端子に、ロジック出力信号線n3008が接続されている。このような構成にすると、ロジック出力端子にドレイン端子が接続されていないトランジスタt3102のゲート端子にn3008を接続する場合に比べて、ロジック信号出力に要する遅延時間を短縮することができる。

【0043】

図21は、図20で説明したスキャンFFのレイアウト例である。図面を見やすくするために、電位給電線、拡散層、およびゲート線のみを示し、ゲート線および拡散層間の接続線を省略している。この構成では、g3005とg3007についてV_{dd}電位給電線v3103、およびG_{nd}電位給電線v3104を共有させている。同様に、g3001とg3009についてV_{dd}電位給電線v3105、およびG_{nd}電位給電線v3106を共有させている。このような構成にすると、拡散層の幅を小さくできるため、チップ面積の低減を図ることができる。

【0044】

【発明の効果】

以上に説明したように、本発明によれば、従来技術に比べてテスト時間を短縮し、かつチップ面積の増加を抑えることにより、テストコストを低減することができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例に関する半導体集積回路を示す回路構成図である。

【図2】

第1の実施例の動作を示すタイミングチャートである。

【図 3】

本発明の第 2 の実施例に関する半導体集積回路を示す回路構成図である。

【図 4】

本発明の第 3 の実施例に関する半導体集積回路を示す回路構成図である。

【図 5】

本発明の第 4 の実施例に関する半導体集積回路を示す回路構成図である。

【図 6】

本発明の第 5 の実施例に関する半導体集積回路を示す回路構成図である。

【図 7】

第 5 の実施例の動作を示すタイミングチャートである。

【図 8】

本発明の第 6 の実施例に関する半導体集積回路を示す回路構成図である。

【図 9】

第 6 の実施例の動作を示すタイミングチャートである。

【図 1 0】

本発明の第 7 の実施例に関する半導体集積回路を示す回路構成図である。

【図 1 1】

本発明の第 8 の実施例に関する半導体集積回路を示す回路構成図である。

【図 1 2】

第 8 の実施例に関するパス遅延の度数分布図である。

【図 1 3】

第 8 の実施例に関する設計フローを示す図である。

【図 1 4】

第 8 の実施例に関する設計フローを示す図である。

【図 1 5】

スキャン F F 機能対応情報を示す図である。

【図 1 6】

本発明の設計装置、および記憶媒体を示す構成図である。

【図 17】

本発明の半導体集積回路の設計フローを示す図である。

【図 18】

本発明の半導体集積回路の設計フローを示す図である。

【図 19】

本発明の第9の実施例に関する半導体集積回路を示す回路構成図である。

【図 20】

第9の実施例に関するトランジスタレベルでの半導体集積回路を示す回路構成図である。

【図 21】

図20の回路に関する半導体集積回路のレイアウトの平面図である。

【図 22】

従来の技術で用いられるスキャンフリップフロップを示す回路構成図である。

【図 23】

従来の技術でスキャン化した論理回路を示す図である。

【図 24】

従来の技術で用いられるスキャンフリップフロップの動作を示すタイミングチャートである。

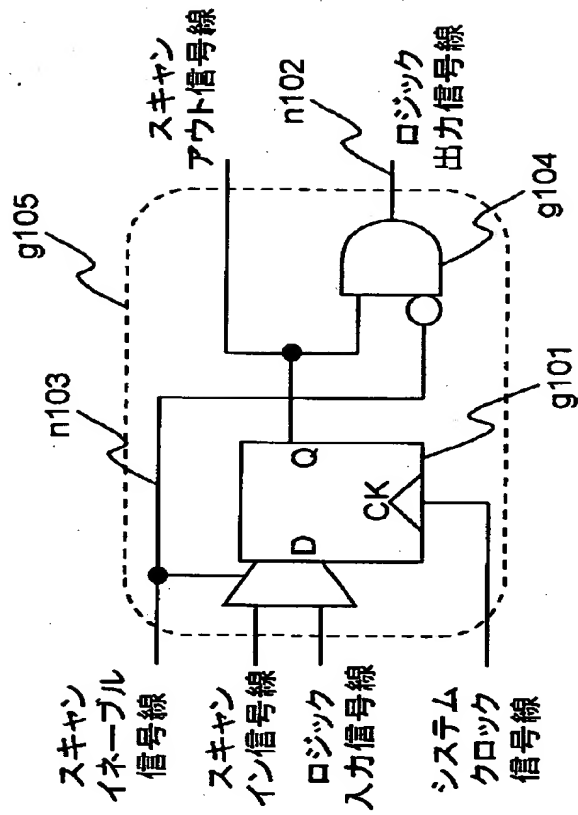
【符号の説明】

g101～g3009…論理ゲート、n102～n3008…信号線、s201～s2805…信号波形、m1501～m1503…論理ゲート群、p1502～p1504…信号経路、j1801～j1902…処理、d1803～d2501…データ、a2704～a2706…信号の流れ、t3101～t3102…トランジスタ、v3103～v3106…電位給電線。

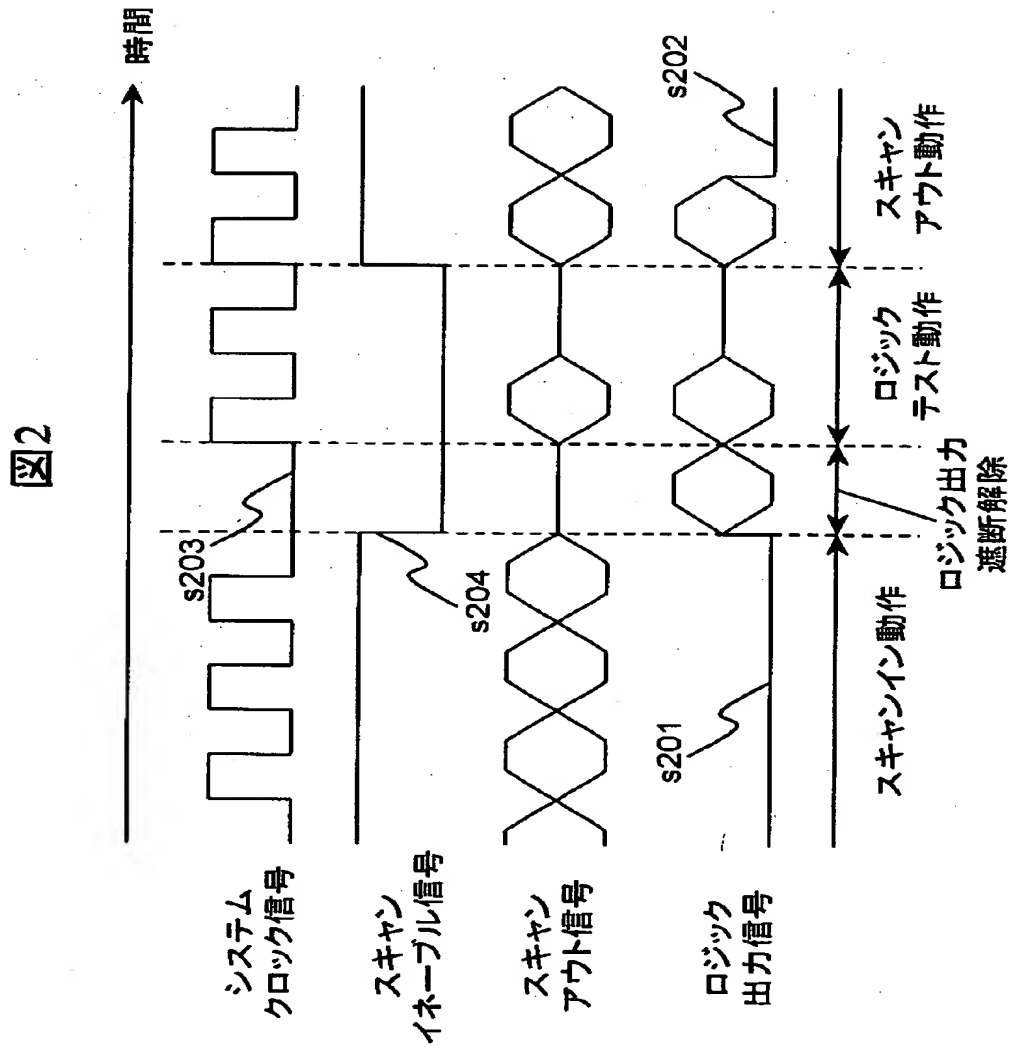
【書類名】 図面

【図 1】

図 1

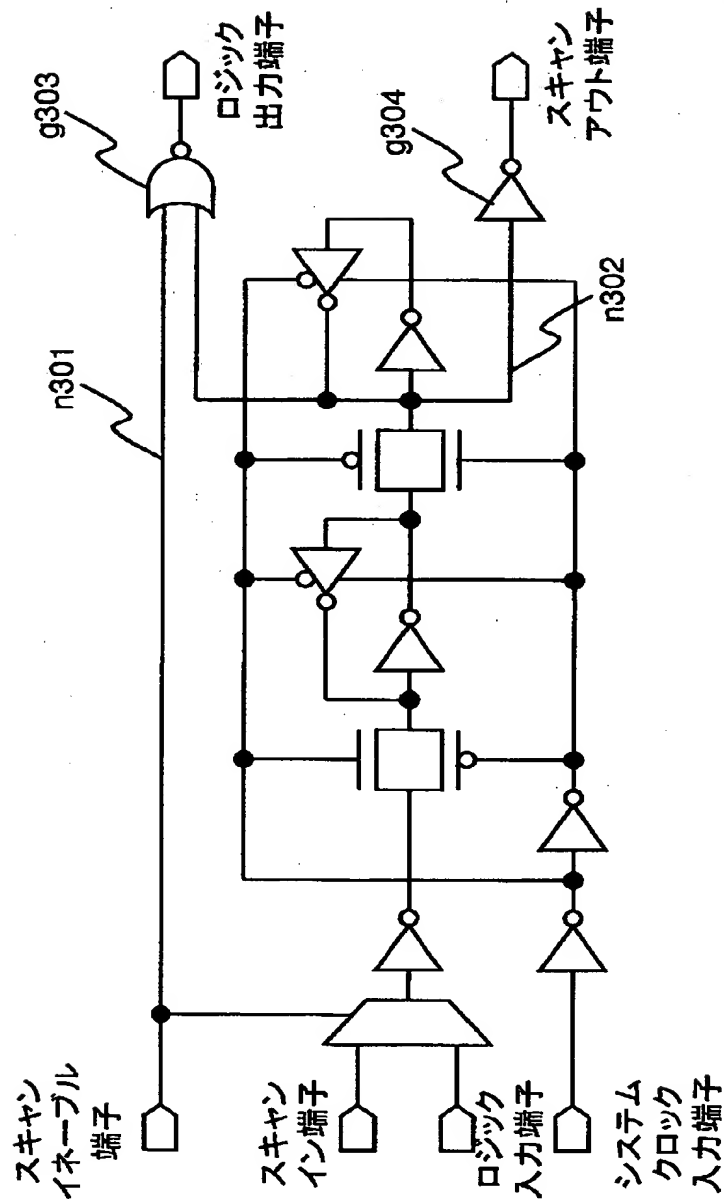


【図2】



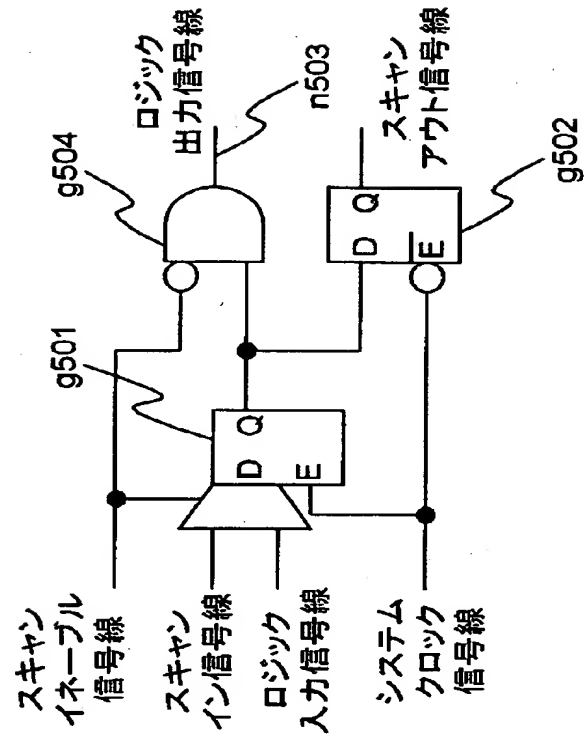
【図 3】

図 3

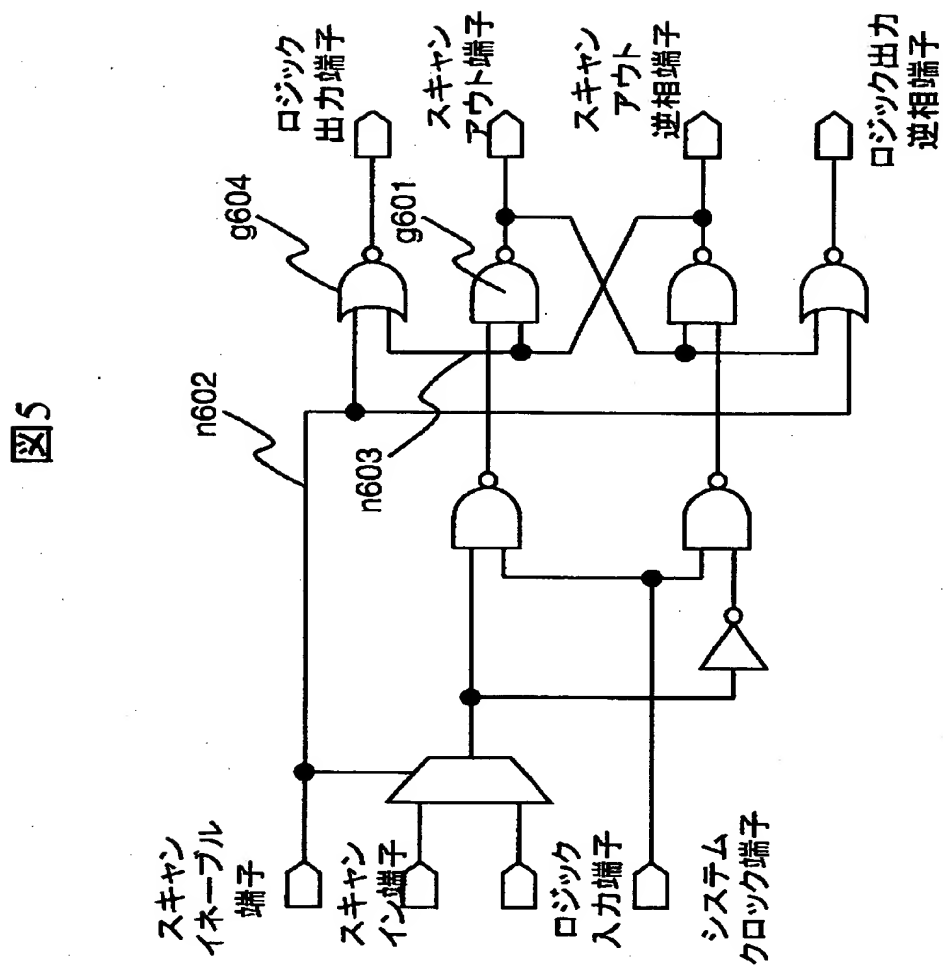


【図4】

図4

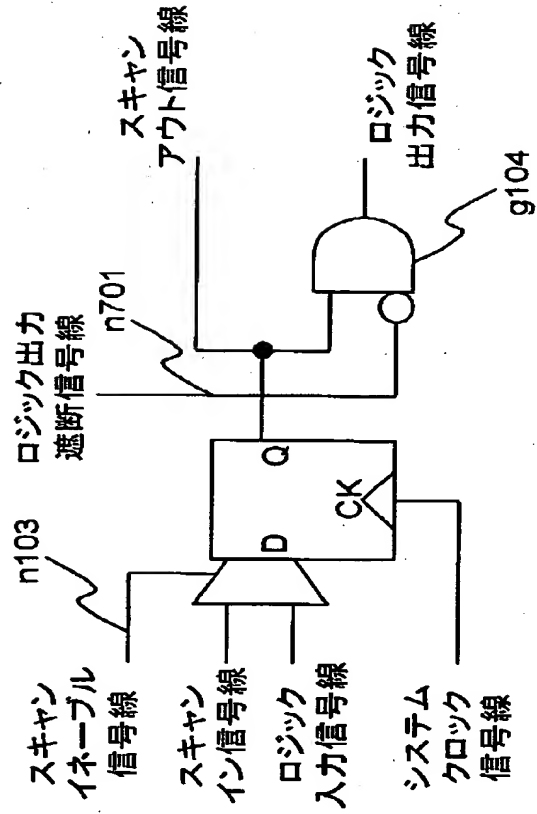


【図5】



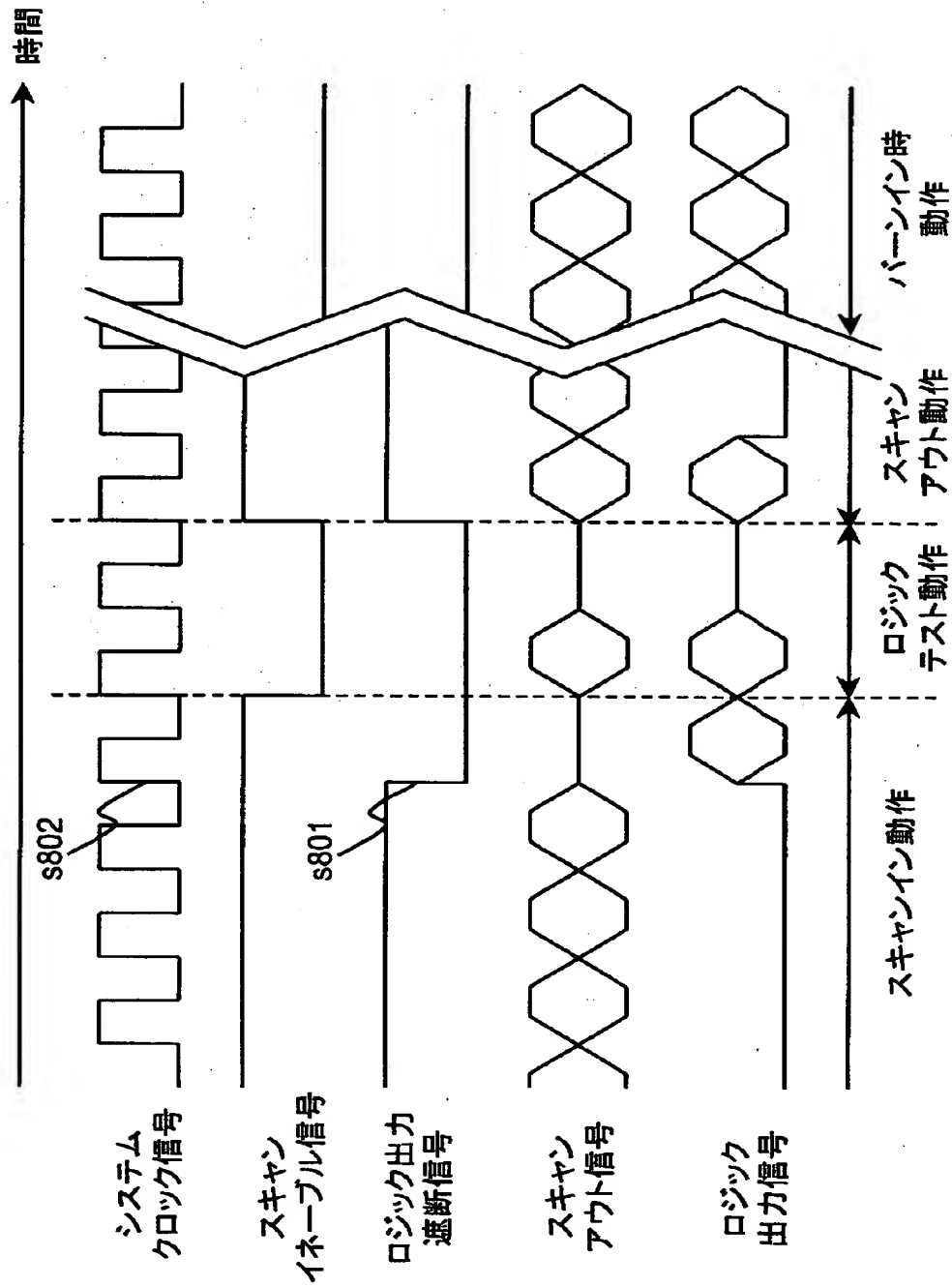
【図6】

図6



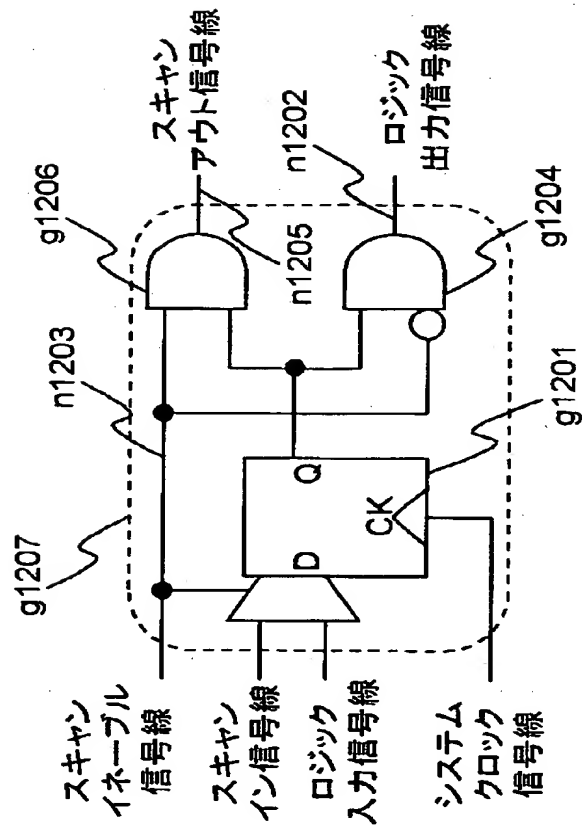
【図 7】

図 7



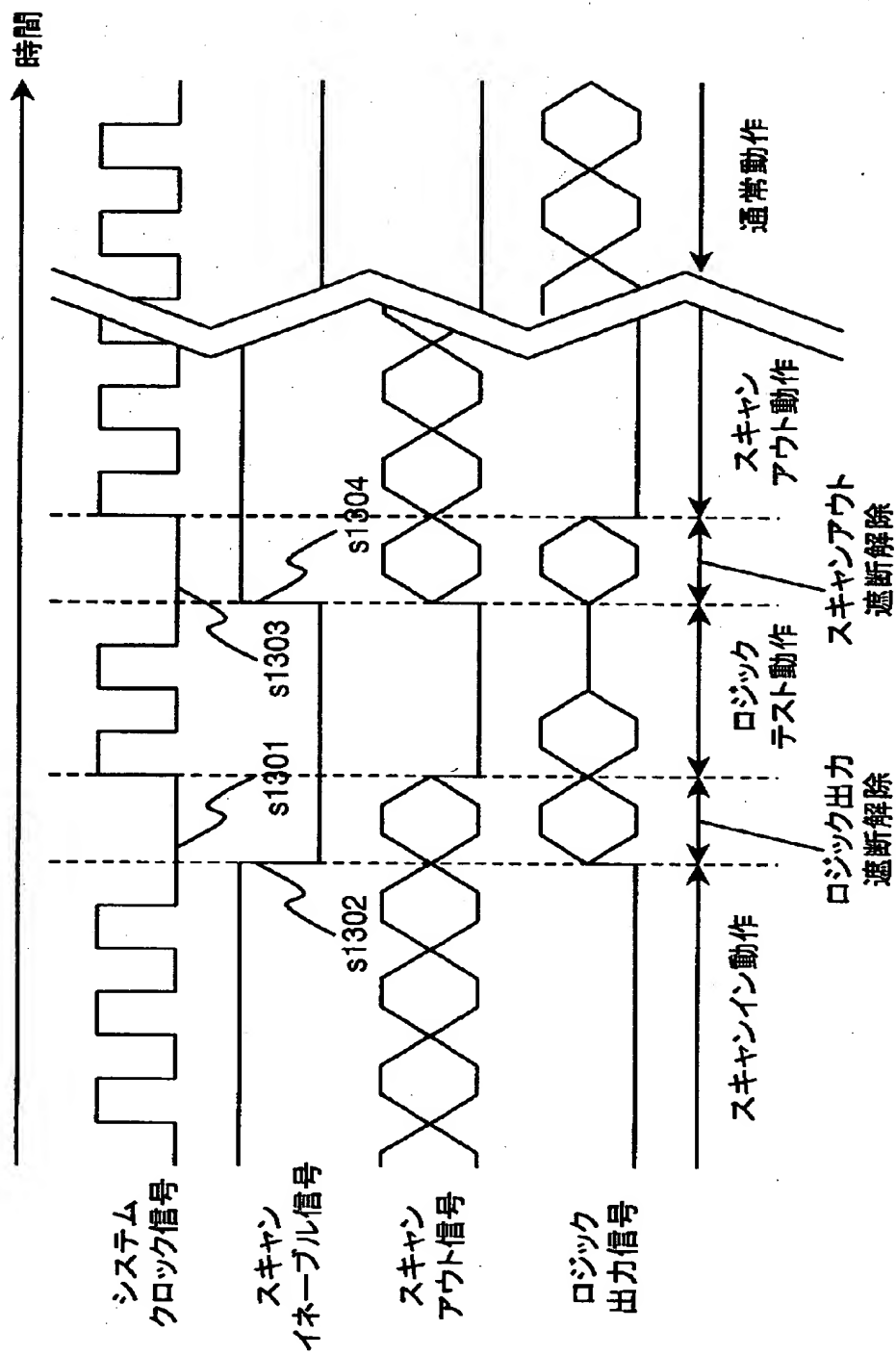
【図 8】

図8



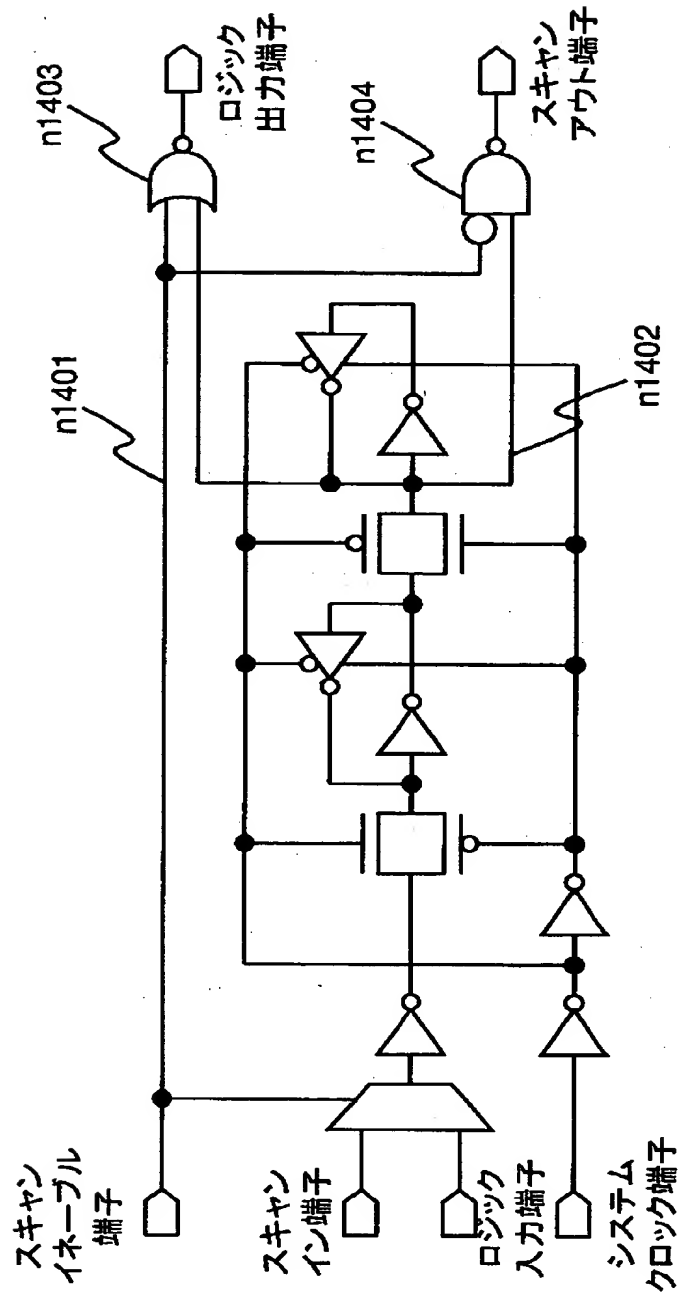
【図9】

図9



【図10】

図10



【図 11】

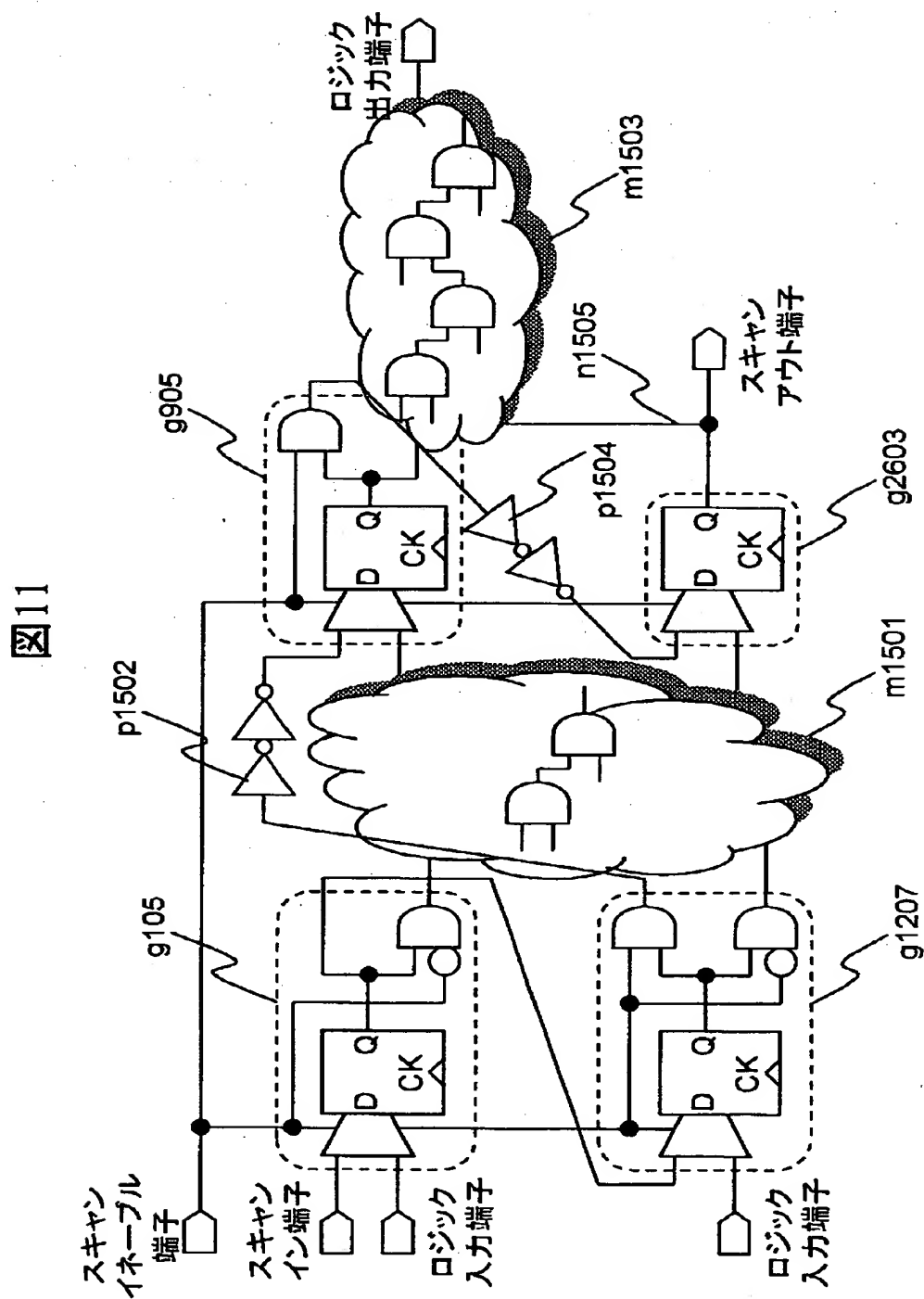
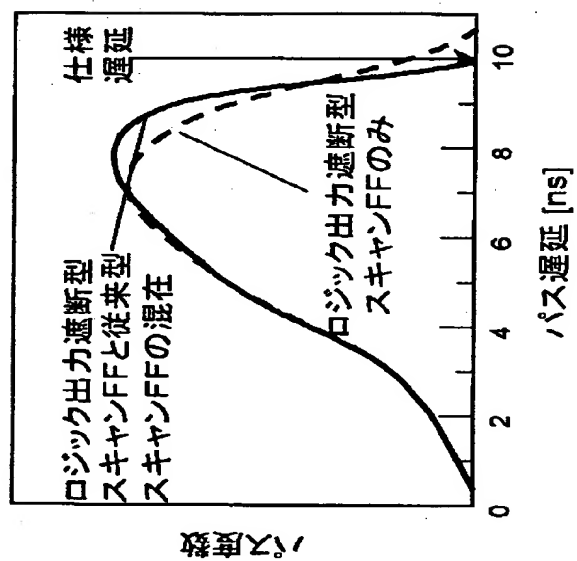


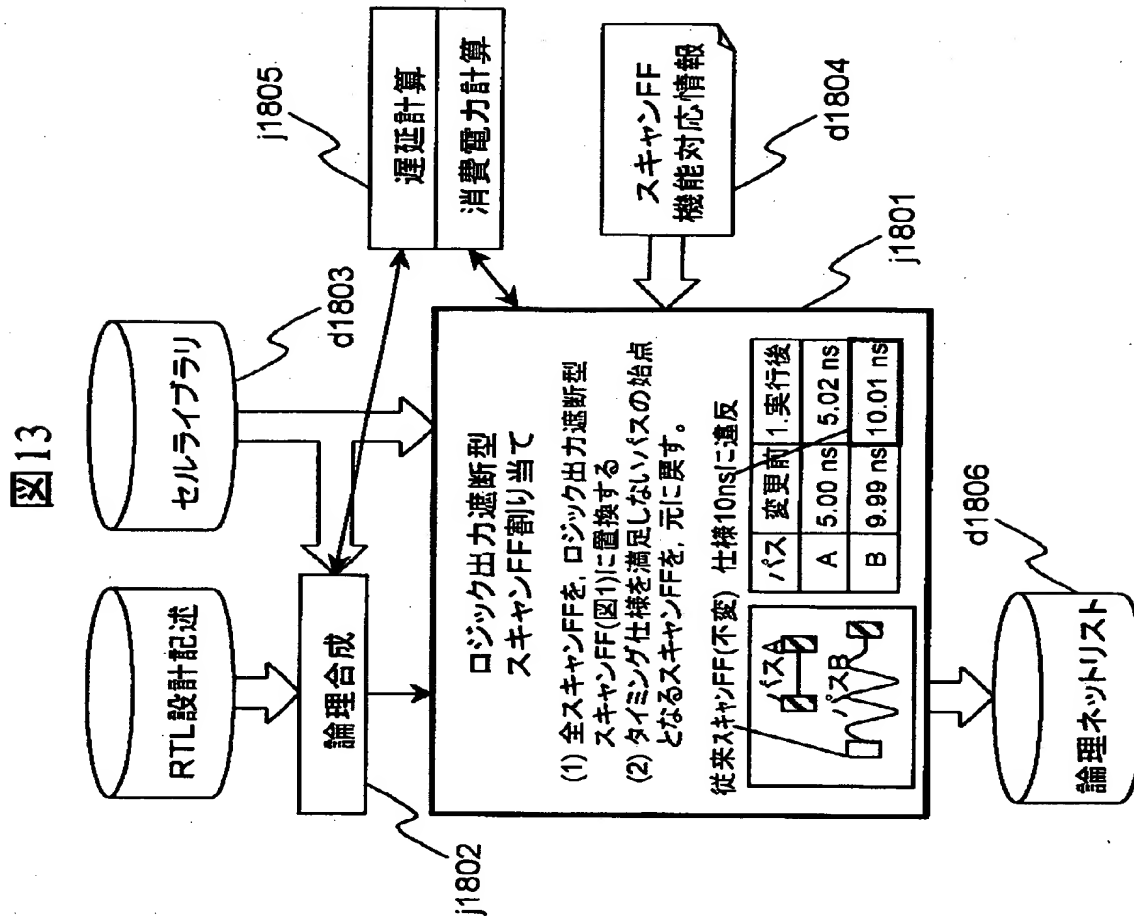
図 11

【図 12】

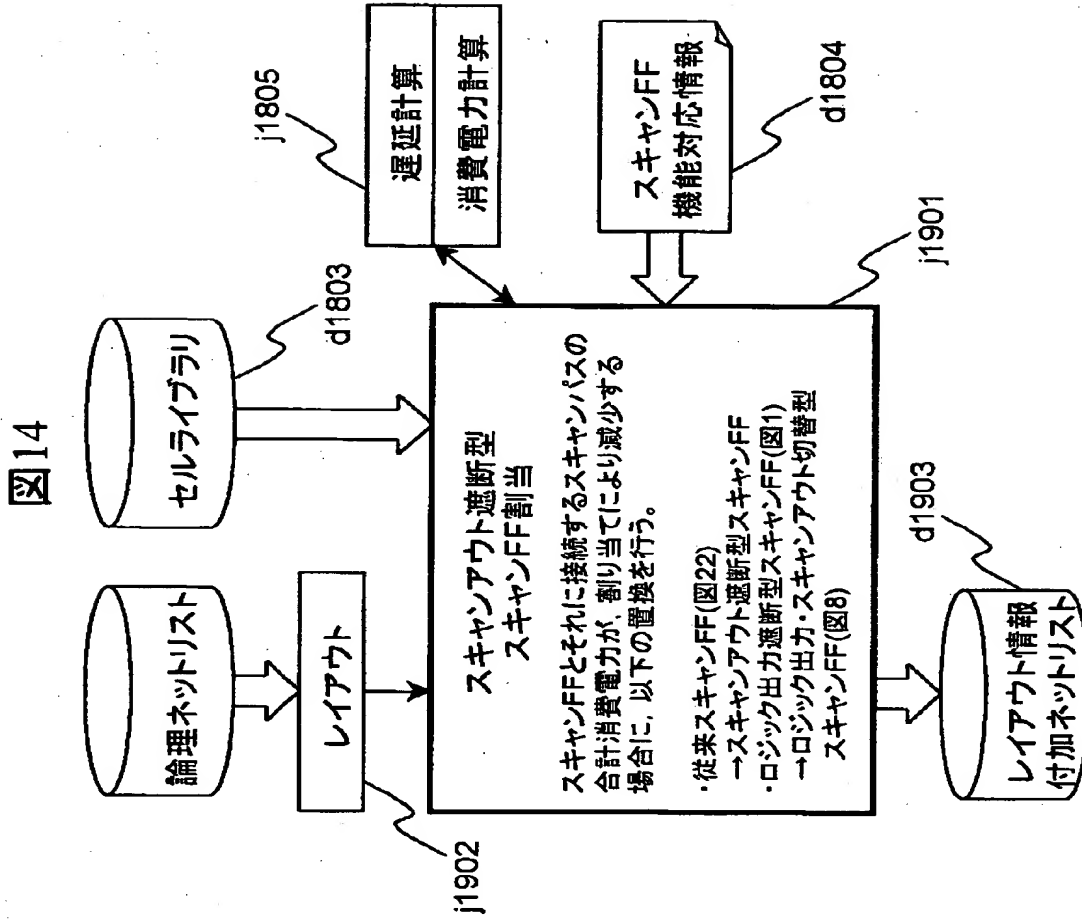
図 12



【图 13】

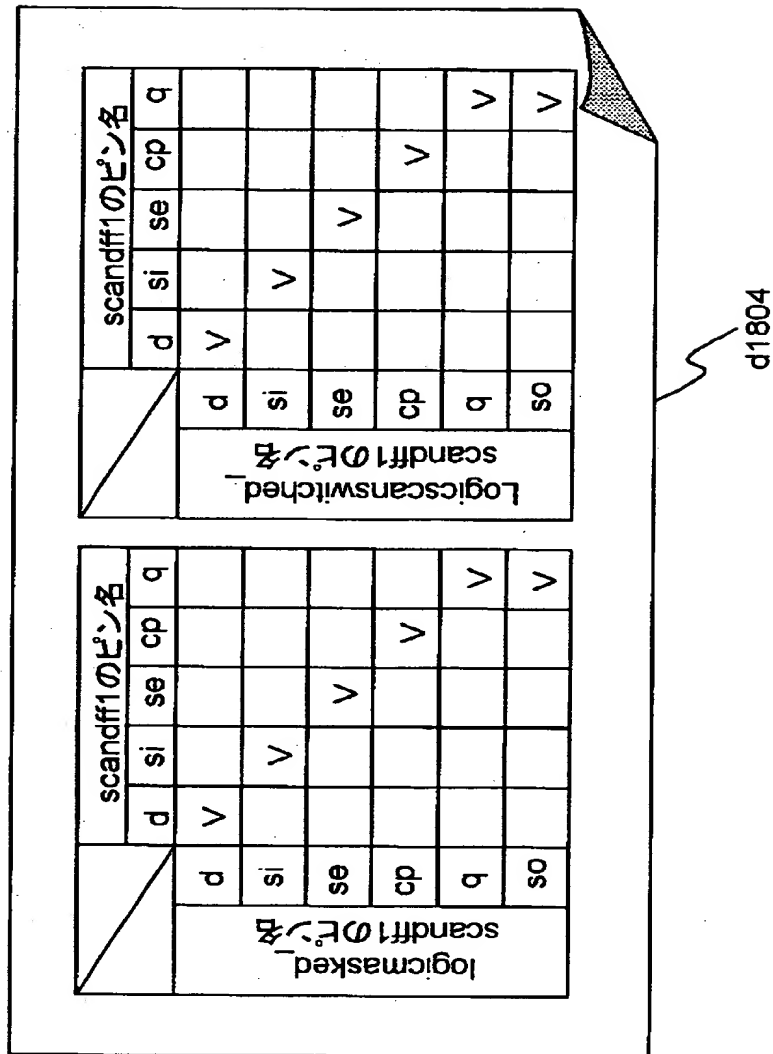


【図14】



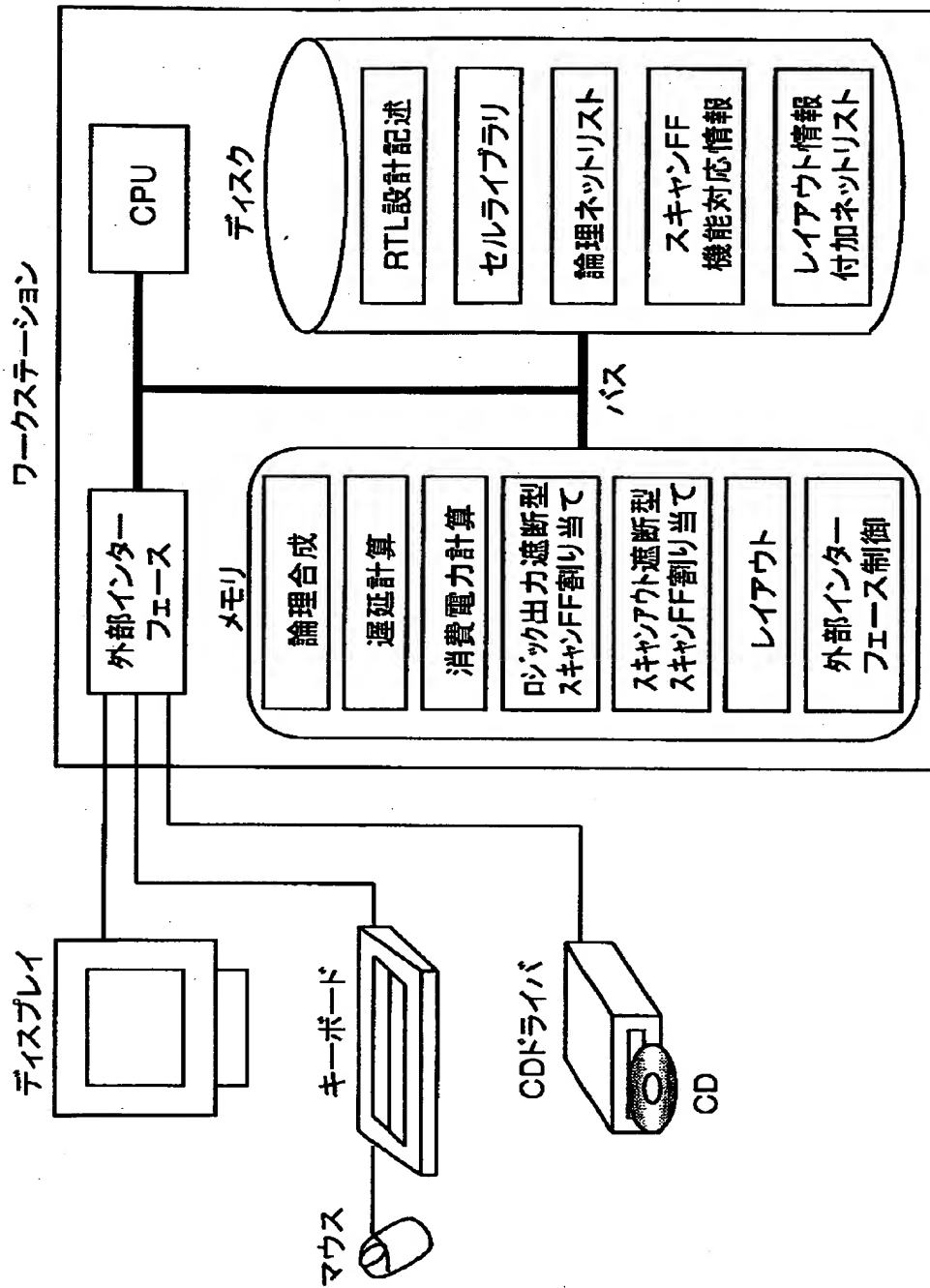
【図15】

図15



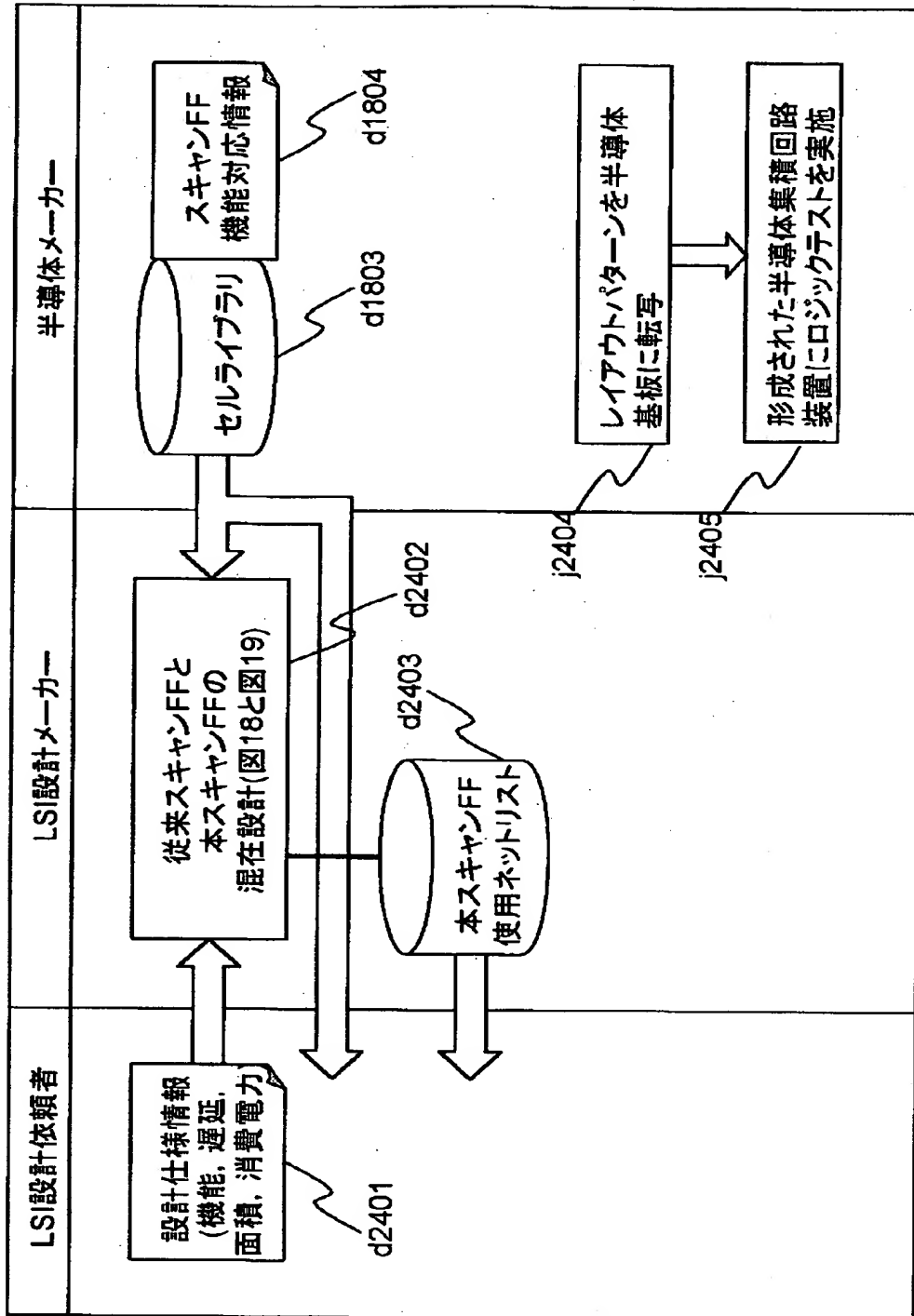
【図16】

図16



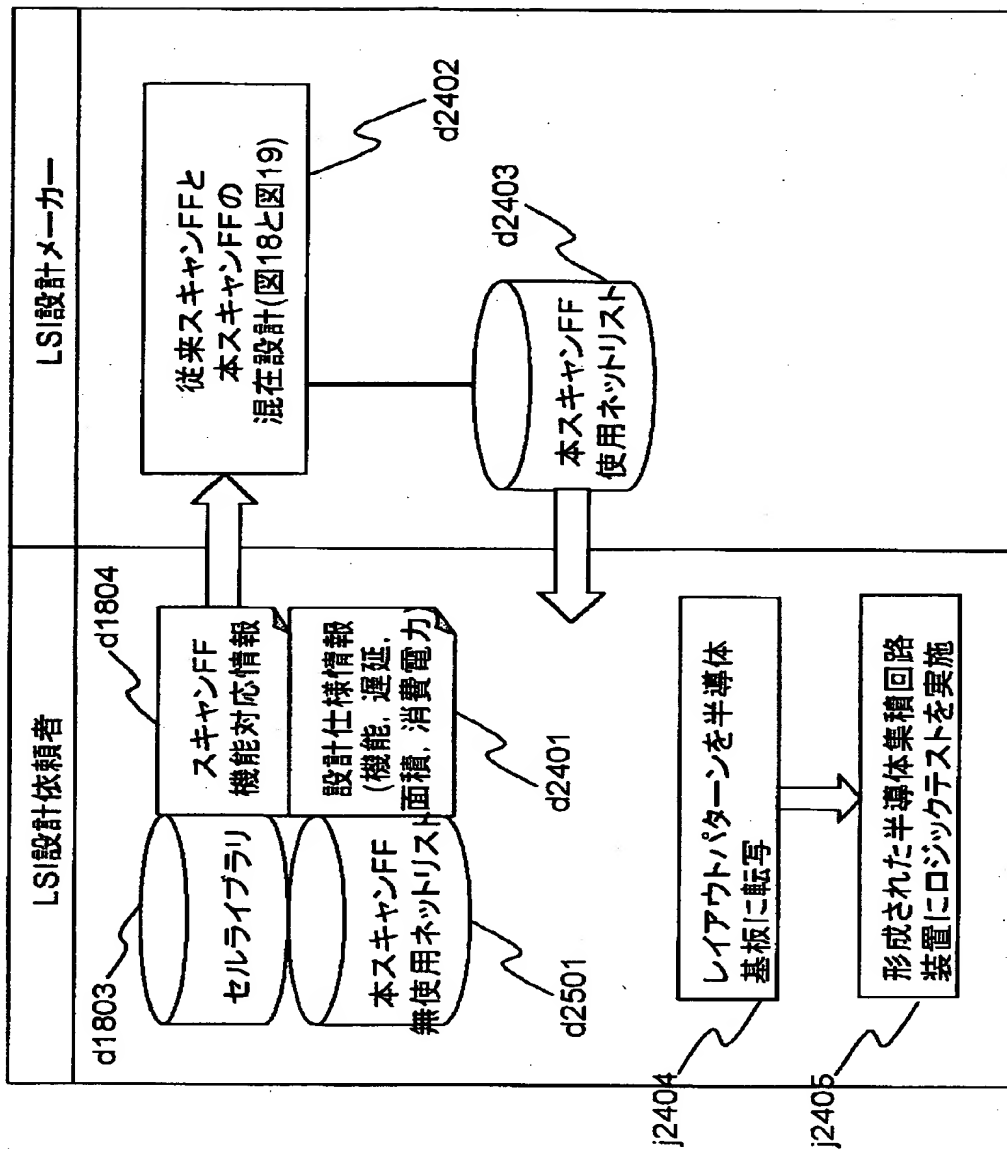
【図17】

図17



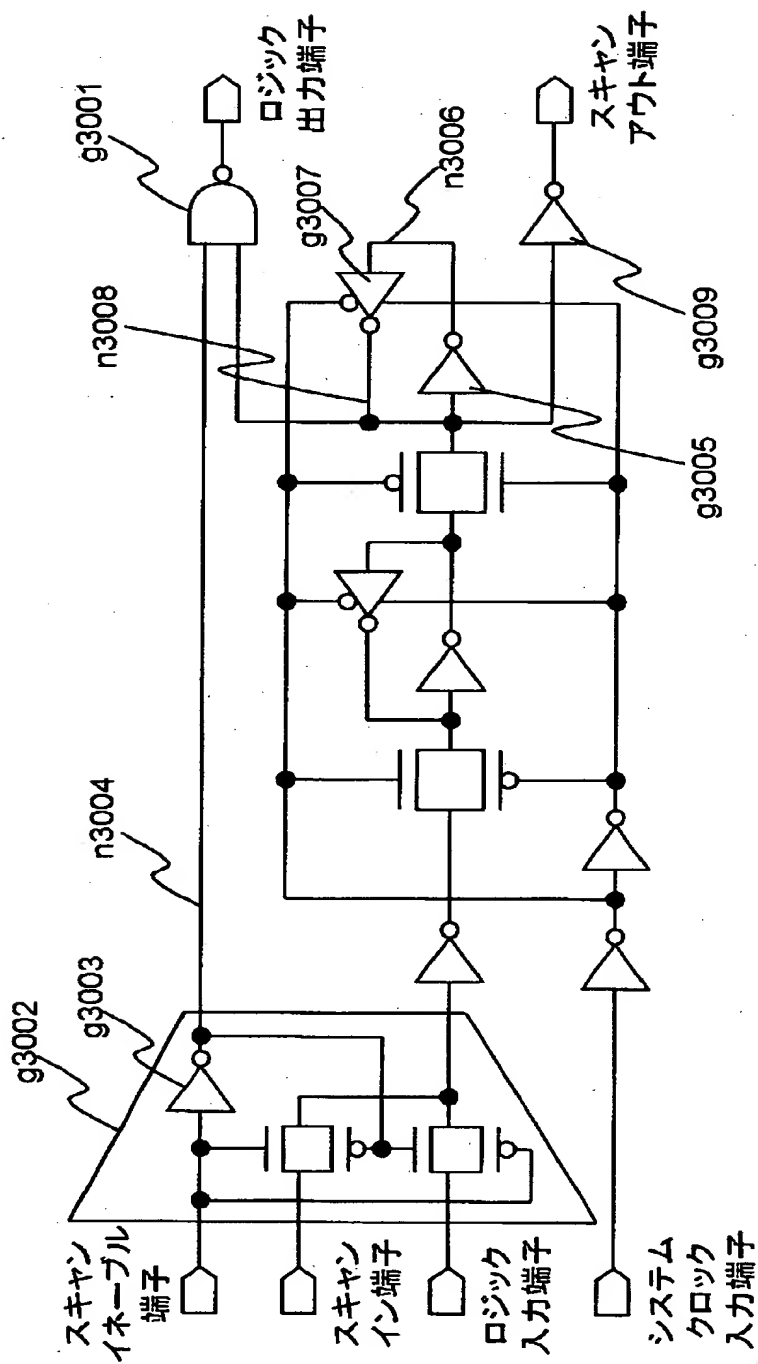
【図18】

図18



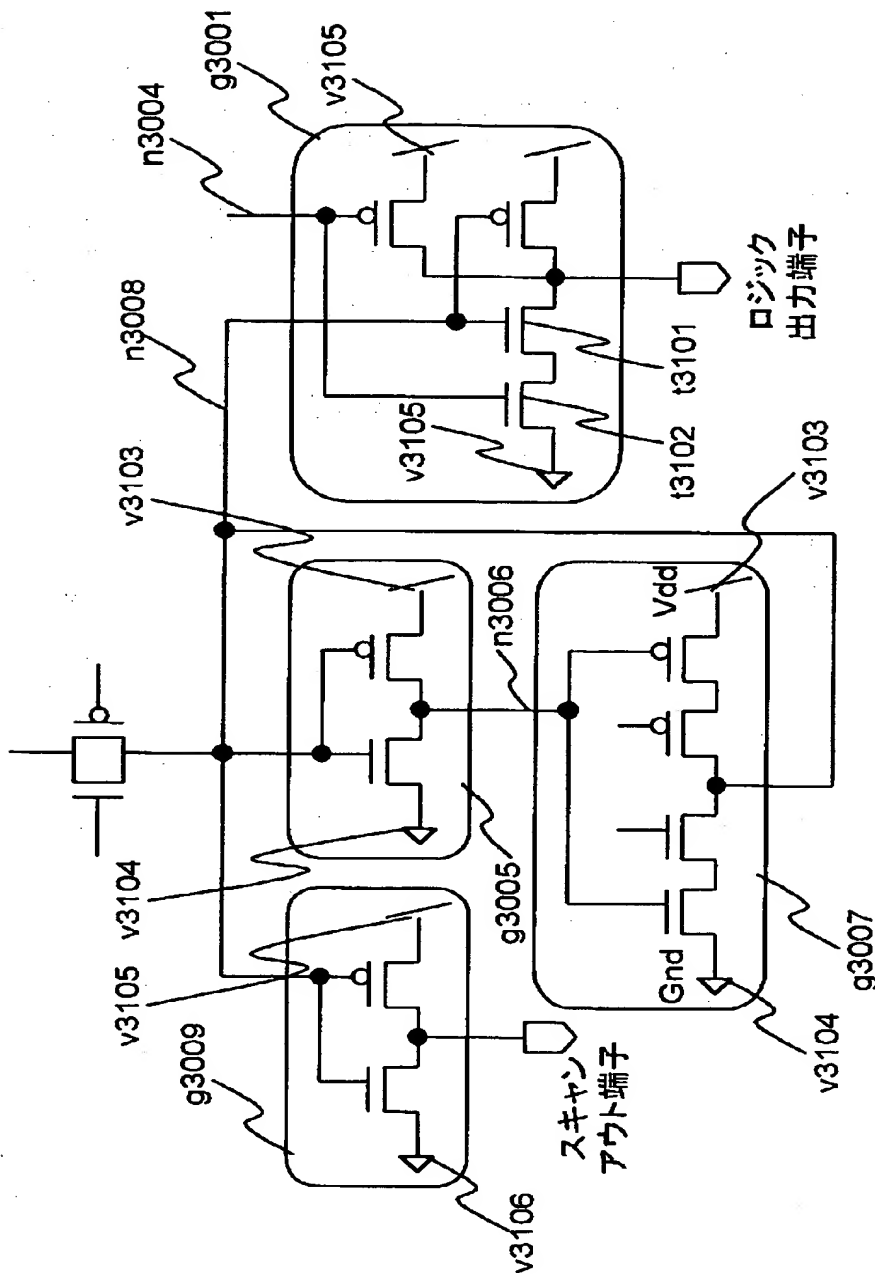
【図19】

図19



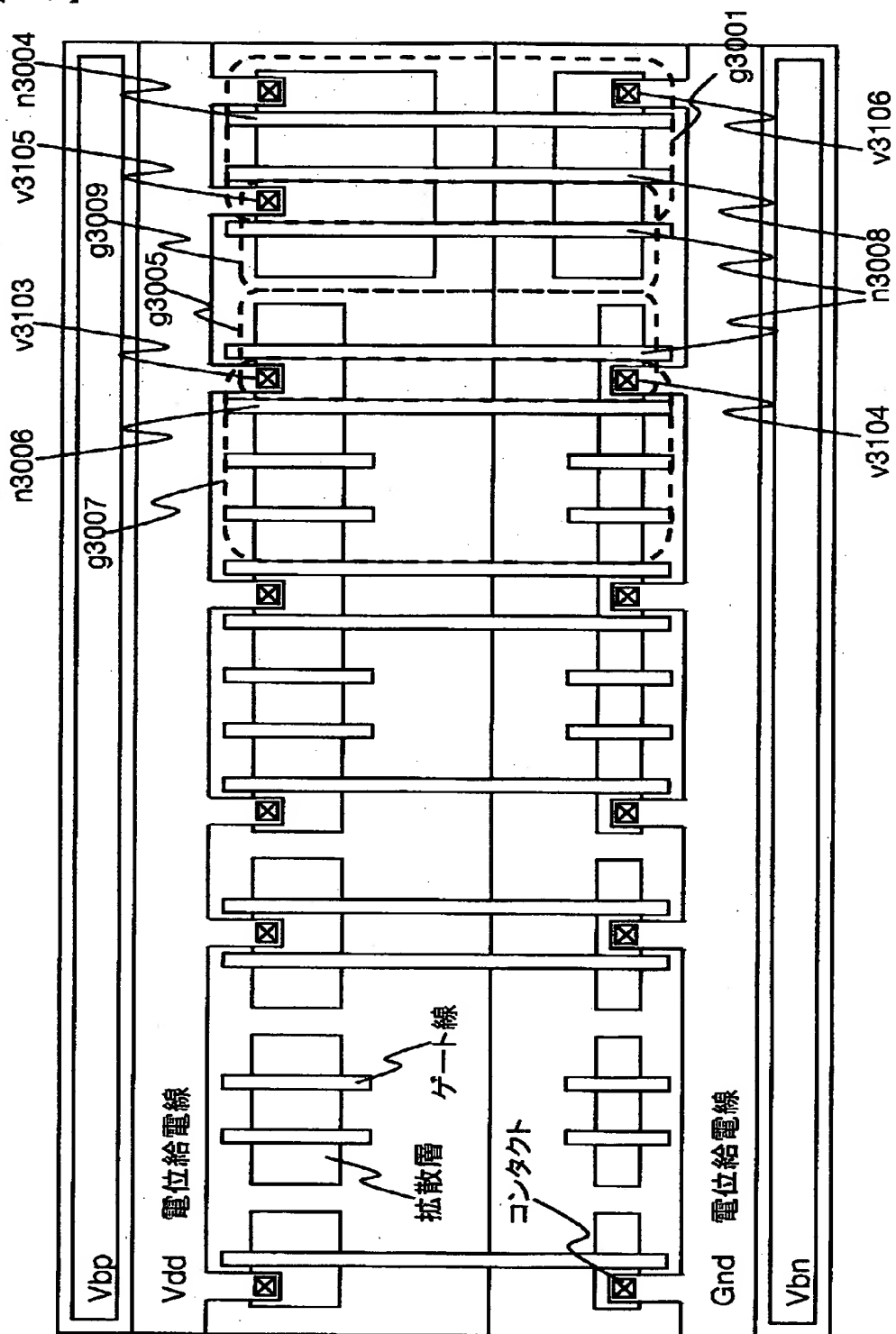
【図 20】

図20



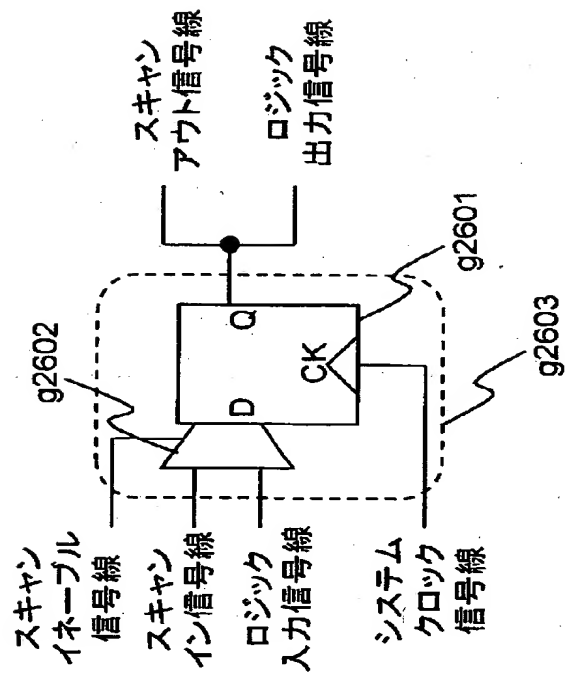
【図21】

図21

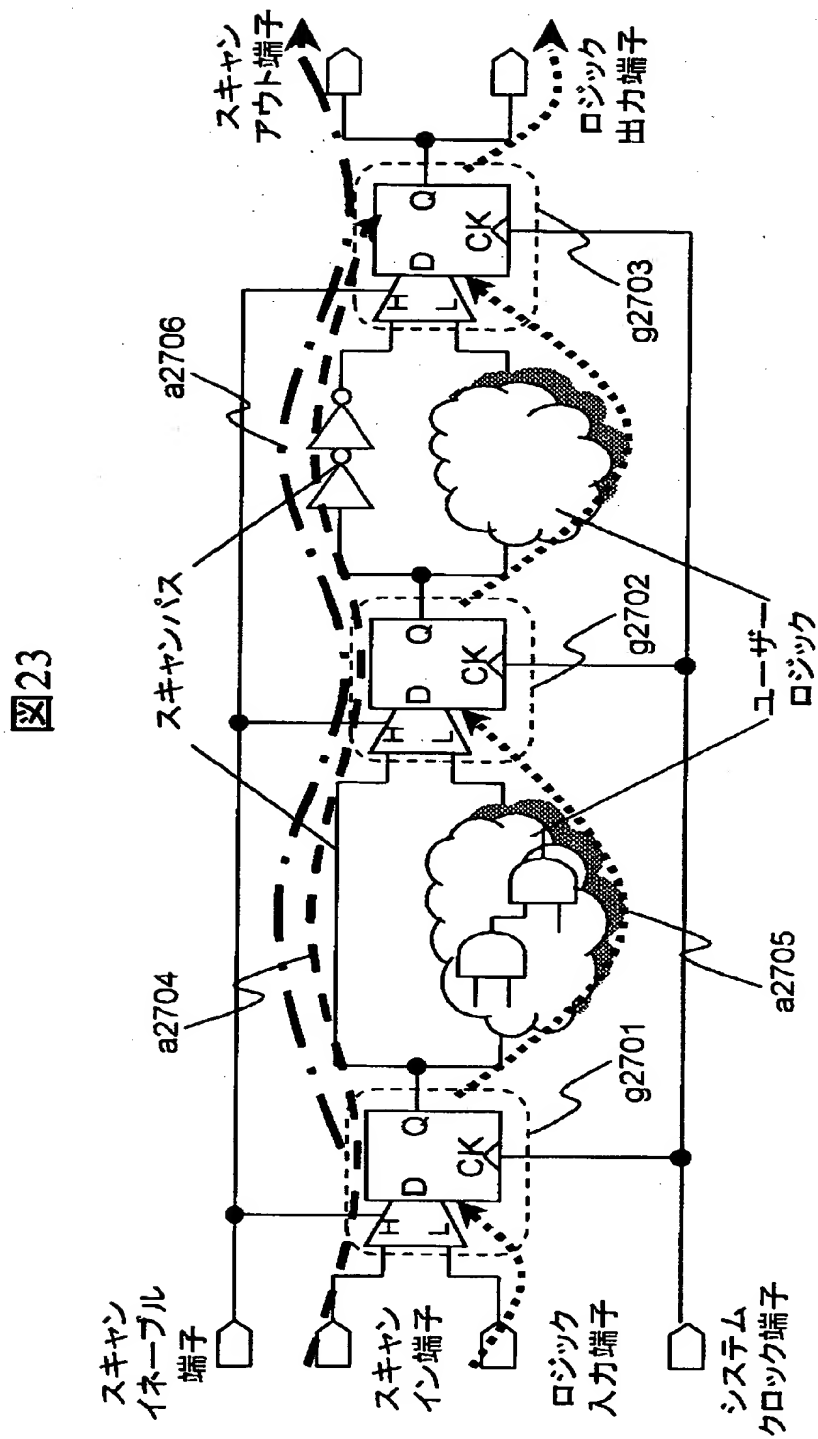


【図 22】

図 22

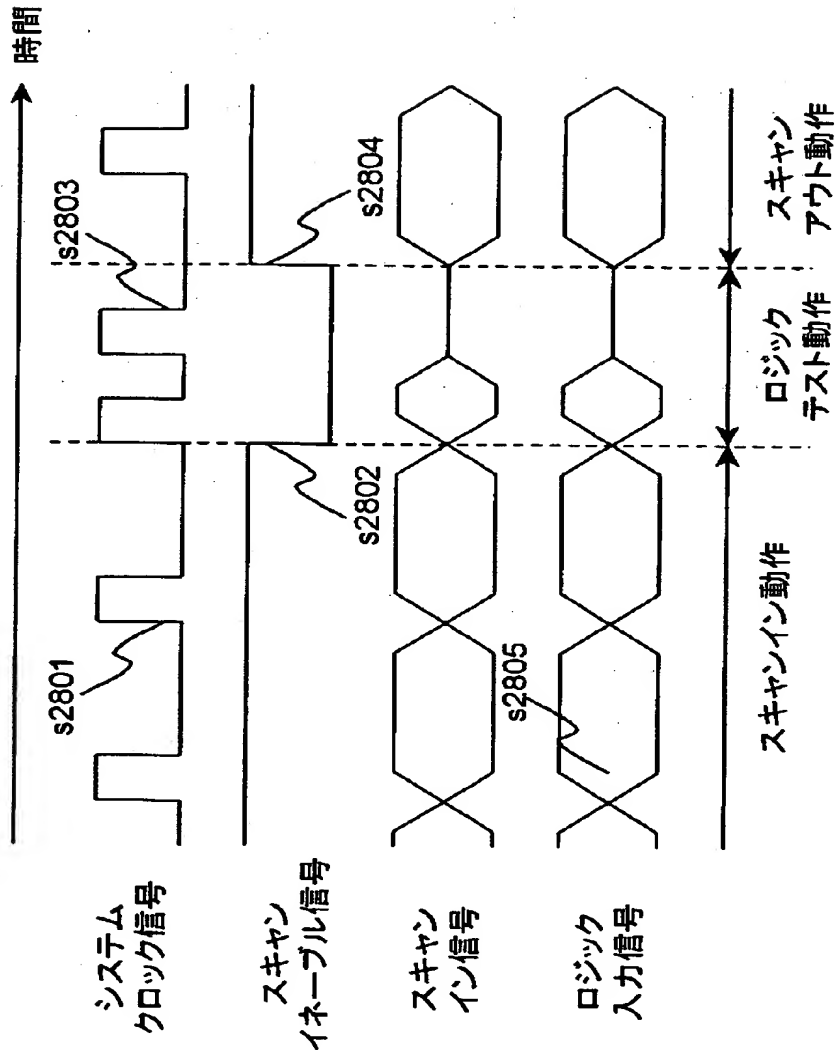


【図 23】



【図 24】

図24



【書類名】 要約書

【要約】

【課題】 テストに要する時間を短縮し、かつチップ面積の増加を抑えることにより、テストに要するコストを低減することである。

【解決手段】 入力切替ゲート付きスキャンフリップフロップ g 1 0 1 の出力端子 Q とロジック出力信号線 n 1 0 2 の間に、スキャンイネーブル信号線 n 1 0 3 によって制御され、g 1 0 1 の出力信号の遷移を遮断する役割を果たす 2 入力 AND ゲート g 1 0 4 が挿入されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所